PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-156360
(43)Date of publication of application : 06.06.2000

(51)Int.Cl. H01L 21/304
H01L 21/76

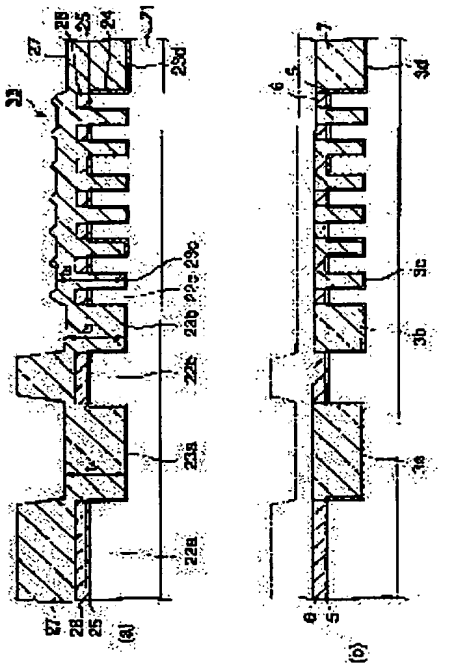
(21)Application number : 11-186411
(22)Date of filing : 30.06.1999

(71)Applicant : FUJITSU LTD
FUJITSU VLSI LTD
(72)Inventor : HATANAKA MASANOBU
TAKADA NAOYUKI
MIYAJIMA MOTOMORI
MIYATA SHUICHI

(30)Priority
Priority number : 10185474 Priority date : 30.06.1998 Priority country : JP

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:
PROBLEM TO BE SOLVED: To improve a throughput in a step for burying an insulating film into a recessed part and keep flatness of a polished face, in a method for manufacturing a semiconductor device that includes a step for polishing an oxide insulating film with an uneven film on its surface.
SOLUTION: A manufacturing method includes a step for forming an abrasion stopping film 26 with an opening on a semiconductor substrate 21, etching the semiconductor substrate 21 through the opening to form grooves 23a to 23d, and forming an insulating film 27 in the grooves 23a to 23d and on the semiconductor substrate 21. The method further includes a step for feeding first polishing slurry on the polishing face of the insulating film 27, polishing the oxide insulating face using first polishing cloth 102 having a polishing face with first polishing hardness, feeding second polishing slurry to the polishing face of the insulating film 27, and polishing the polishing face of the oxide insulating film 27 by using second polishing cloth with second hardness lower than the first hardness until the abrasion stopping film 26 is exposed.



LEGAL STATUS
[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than

the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号
特開2000－156360
（P2000－156360A）
(43)公開日　平成12年６月６日(2000.6.6)

(51)Int.Cl.[7]	識別記号	FI		テーマコード（参考）
H01L 21/304	622	H01L 21/304	622F	5F032
			622S	
			622X	
21/76		21/76	L	

審査請求　未請求　請求項の数15　ＯＬ　（全 32 頁）

(21)出願番号　特願平11－186411

(22)出願日　平成11年６月30日(1999.6.30)

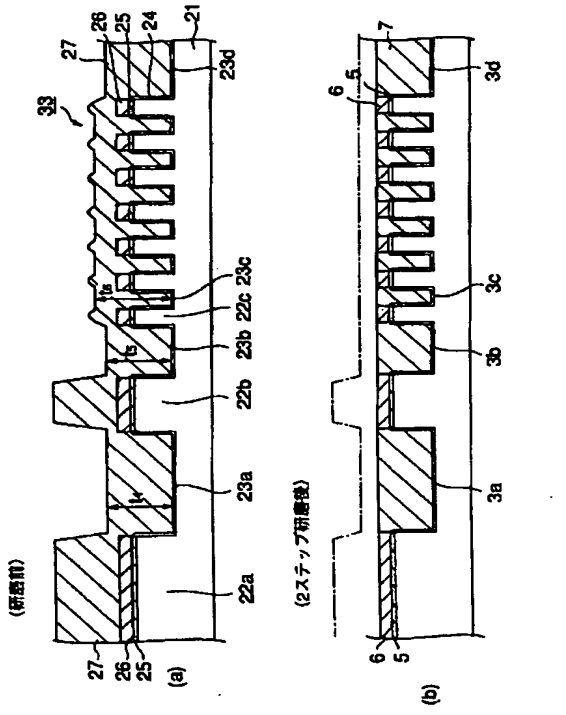
(31)優先権主張番号　特願平10－185474
(32)優先日　平成10年６月30日(1998.6.30)
(33)優先権主張国　日本（ＪＰ）

(71)出願人　000005223
富士通株式会社
神奈川県川崎市中原区上小田中４丁目１番１号
(71)出願人　000237617
富士通ヴィエルエスアイ株式会社
愛知県春日井市高蔵寺町２丁目1844番２
(72)発明者　畠中　正信
愛知県春日井市高蔵寺町二丁目1844番２
富士通ヴィエルエスアイ株式会社内
(74)代理人　100091672
弁理士　岡本　啓三

最終頁に続く

(54)【発明の名称】　半導体装置の製造方法

(57)【要約】
【課題】本発明は、表面に凹凸のある酸化絶縁膜を研磨する工程を含む半導体装置の製造方法に関し、凹部内に絶縁膜を埋め込む際のスループットを向上するとともに、その研磨面の平坦性を向上すること。
【解決手段】半導体基板２１上に開口部を有する研磨ストップ膜２６を形成し、開口部を通して半導体基板２１をエッチングして溝２３ａ～２３ｄを形成し、溝２３ａ～２３ｄの中と半導体基板２１の上に絶縁膜２７を形成する工程と、第１の研磨スラリーを絶縁膜２７の研磨面に供給するとともに第１の硬さの研磨表面を有する第１の研磨布１０２を用いて酸化絶縁膜を研磨し、続いて、第２の研磨スラリーを絶縁膜２７の研磨面に供給するとともに第１の硬さよりも軟いの第２の硬さを有する第２の研磨布１０１を用いて研磨ストブ膜２６が露出するまで酸化絶縁膜２７の研磨面を研磨する工程を含む。



1

【特許請求の範囲】

【請求項１】半導体基板の主面の上に絶縁膜を形成する工程と、

第１の硬さを有する第１の研磨布を用いて前記絶縁膜の一部を研磨する工程と、

前記第１の研磨布による前記絶縁膜の研磨の後に、前記第１の硬さよりも軟い第２の硬さを有する第２の研磨布を用いて、前記絶縁膜を研磨する工程とを有することを特徴とする半導体装置の製造方法。

【請求項２】前記絶縁膜を形成する前に、前記半導体基板の上の第１の領域に研磨ストップ膜を形成する工程と、前記研磨ストップ膜に覆われない第２の領域に溝を形成する工程を有し、

前記第２の研磨布による前記絶縁膜の研磨は、前記研磨ストップ膜が露出するまで続けられることを特徴とする請求項１に半導体装置の製造方法。

【請求項３】前記絶縁膜はシリコン酸化膜であることを特徴とする請求項１記載の半導体装置の製造方法。

【請求項４】前記第１の研磨布により前記絶縁膜を研磨する際には、第１のスラリーが前記絶縁膜の上に供給され、

前記第２の研磨布により前記絶縁膜を研磨する際には、第２のスラリーが前記絶縁膜の上に供給されることを特徴とする請求項１に記載の半導体装置の製造方法。

【請求項５】前記第１の研磨布は、圧縮加重に対する圧縮歪み量の比が０．０６μｍ・ｃｍ^2／ｇ以下であることを特徴とする請求項１又は請求項３に記載の半導体装置の製造方法。

【請求項６】前記第２の研磨布による前記絶縁膜の研磨の後に、前記研磨ストップ膜を除去することによって、前記溝内に充填された前記絶縁膜を前記半導体基板の上面から突出させて凸部を形成する工程とを有することを特徴とする請求項１に記載の半導体装置の製造方法。

【請求項７】前記絶縁膜はプラズマＣＶＤ法により形成されたシリコン酸化膜であって、前記研磨ストップ膜はＣＶＤ法により形成されたシリコン窒化膜であることを特徴とする請求項２に記載の半導体装置の製造方法。

【請求項８】前記研磨ストップ膜と前記半導体基板の間に初期酸化膜を形成する工程をさらに含むとともに、

前記半導体基板はシリコン基板であり、

前記絶縁膜はＣＶＤ法により形成されたシリコン酸化膜であり、

前記研磨ストップ膜はＣＶＤ法により形成されたシリコン窒化膜であり、

前記初期酸化膜は前記半導体基板の表面に形成されたシリコン酸化膜であり、

前記第２の研磨布により前記絶縁膜を研磨した後の状態では、前記溝に埋め込まれた前記絶縁膜の膜厚の値は、前記溝の底から前記研磨ストップ膜の最上面までの高さの値の１倍～２倍の範囲に存在することを特徴とする請求項２に記載の半導体装置の製造方法。

2

【請求項９】前記絶縁膜よりも研磨速度の遅い研磨用被覆膜を前記絶縁膜の上に形成する工程をさらに有することを特徴とする請求項２に記載の半導体装置の製造方法。

【請求項１０】前記半導体基板はシリコン基板であり、

前記絶縁膜はＣＶＤ法により形成されたシリコン酸化膜であり、

前記研磨ストップ膜はＣＶＤ法により形成されたシリコン窒化膜であり、

前記第２の研磨布により前記絶縁膜を研磨した後の状態では、前記溝に埋め込まれた前記絶縁膜の膜厚は、前記溝の底から前記研磨ストップ膜の最上面までの高さの１．１倍～１．５倍の範囲に存在し、

前記研磨用被覆膜は３０ｎｍ～１５０ｎｍの膜厚を有することを特徴とする請求項９に記載の半導体装置の製造方法。

【請求項１１】前記溝の中には、前記半導体基板の一部を突出させてなる微小凸部を有することを特徴とする請求項２に記載の半導体装置の製造方法。

【請求項１２】前記第２の研磨布を使用して前記絶縁膜を研磨する工程においては、前記絶縁膜の研磨から前記研磨ストップ膜の研磨に変わる際の前記第２の研磨布による研磨トルクの変化を検出する方法によって研磨終了点を検出することを特徴とする請求項２に記載の半導体装置の製造方法。

【請求項１３】前記第２の研磨布を使用して前記絶縁膜を研磨する工程においては、前記絶縁膜に向けて波長１００ｎｍ～１０００ｎｍの単一波長のレーザ光を照射して、前記絶縁膜の研磨から前記研磨ストップ膜の研磨に変わる際の前記レーザ光の反射強度の変化点を検出する方法によって研磨終了点を検出することを特徴とする請求項２に記載の半導体装置の製造方法。

【請求項１４】前記半導体基板は、1×10^4 Ｎ／ｍ^2～1×10^{10}Ｎ／ｍ^2 のヤング率を有する弾性体が下部に形成された研磨ヘッドの下に取り付けられることを特徴とする請求項１に記載の半導体装置の製造方法。

【請求項１５】前記半導体基板の前記主面の凹凸の段差は、２０ｍｍ四方の任意の領域において２００ｎｍ未満であり、かつ、５ｍｍ四方の任意の領域において５０ｎｍ未満であることを特徴とする請求項１に記載の半導体装置の製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、より詳しくは絶縁膜の研磨工程やシャロートレンチアイソレーション（ＳＴＩ）の形成工程を含む半導体装置の製造方法に関する。

【０００２】

【従来の技術】近年、半導体デバイスにおいては、微細

化の進展に伴い、従来から用いてきたＬＯＣＯＳ（Local oxidation of silicon）法を用いた素子分離方法では、素子間を精度良く分離することが難しくなってきている。そのため、ＬＯＣＯＳ法に代わる新しい素子分離方法としてシャロートレンチを用いた方法が注目され、すでに使用されつつある。

【０００３】図１～図３は、従来のシャロートレンチの形成工程を示す断面図である。まず、図１(a) に示すように、シリコン基板１の表面に酸化膜５と窒化膜６をこの順に形成する。続いて、図１(b) に示すように、フォトリソグラフィー法により素子分離領域となる領域の窒化膜５及び酸化膜６を除去する。

【０００４】さらに、図１(c) に示すように窒化膜６及び酸化膜５をマスクとしてシリコン基板１をエッチングにより除去して種々の幅を有する第１の溝３ａ～第４の３ｄを浅く形成する。このとき、溝によってシリコン基板１が区画されることによって、狭い面積の第１の溝３ｃによって区画された領域は狭い面積の凸状の第１の素子領域２ｃとなり、中程度の幅の溝３ｂによって区画された領域は中程度の面積の第２の素子領域２ｂとなり、広い幅の溝３ａ，３ｄにより区画された領域は広い面積の第３の素子領域２ａとなる。

【０００５】次いで、図２(a) に示すように、膜厚が第１～第３の溝３ａ～３ｄの深さよりも厚いシリコン酸化膜７をシリコン基板１上に形成して第１の溝３ａ～第４の溝３ｄを埋め込む。この場合、幅の狭い第４の溝３ｄ内にシリコン酸化膜７を緻密に埋め込む条件でシリコン酸化膜７を形成すると、シリコン酸化膜７の膜厚は広い幅の第１の素子領域２ａの上で最も厚くなる一方、狭い幅の第３の素子領域２ｃ上で最も薄くなるのが一般的である。また、幅の広い第１、第２の溝３ａ，３ｂのシリコン酸化膜７の膜厚 t_1 、t_2 よりも幅の狭い第３の溝３ｂが集まっている領域の膜厚 t_3 が厚くなる。

【０００６】次に、図２(b) に示すように全面にフォトレジスト８を形成する。続いて、フォトレジスト８を露光、現像してフォトレジスト８に窓９ａ，９ｂを形成する。それらの窓９ａ，９ｂの形成位置は、幅の広い第１の素子領域２ａ及び中程度の幅の第２の素子領域２ｂの上方の位置である。続いて、窓９ａ，９ｂを通してシリコン酸化膜７をエッチングする。この場合のシリコン酸化膜７のエッチング深さは窒化膜６を露出させない程度に浅くしてもよい。

【０００７】次いで、図３(a) に示すようにレジスト膜８を除去した後に、図３(b) に示すようにシリコン酸化膜７の表面を研磨する。この場合、第１の素子領域２ａと第２の素子領域２ｂの上のシリコン酸化膜７の研磨は容易に進み、窒化膜６で研磨が実質的に停止する。これにより、第１～第４の溝３ａ～３ｄ内にシリコン酸化膜７が埋め込まれ、第１～第３の素子領域２ａ～２ｃではシリコン酸化膜７が除去された状態になる。

【０００８】シリコン酸化膜７が埋め込まれた第１～第４の溝３ａ～３ｄは、シャロートレンチとなって第１～第３の素子領域２ａ～２ｃを分離することになる。以上のような工程において、第１の素子領域２ａ及び第２の素子領域２ｂの上のシリコン酸化膜７の幅を狭くするのは、シリコン酸化膜７のうち膜厚の厚い部分での研磨を促進してシリコン酸化膜７の研磨面を平坦にするためである。最も広い幅の第１の素子領域２ａ及び中程度の幅の第２の素子領域２ｂにシリコン酸化膜７を厚く残すと、その領域の研磨抵抗が大きくなって、均一な研磨が得られ難くなるからである。

【０００９】

【発明が解決しようとする課題】ところで、上記したシャロートレンチの作成方法によれば、フォトリソグラフィ工程とエッチング工程と研磨工程という複数の異なる工程が必要になるので、半導体装置の製造の工程が増えることになる。また、シリコン酸化膜７の膜厚にバラツキがある場合に、エッチングの後に第１及び第２の素子領域２ａ，２ｂ上にシリコン酸化膜７が残ったり、第１及び第２の素子領域２ａ，２ｂの上に残るシリコン酸化膜７の膜厚にバラツキが生じているので、上記した方法ではシリコン酸化膜７の膜厚のバラツキを解消することはできない。

【００１０】さらに、シリコン酸化膜７が均一であるとしても、例えば２５枚の半導体ウェハのＳＴＩを形成したところ、図４に示すようなエッチング量のバラツキが生じて、半導体ウェハ上に残ったシリコン酸化膜７の膜厚は不均一になり易い。素子領域２ａ～２ｃ上の各々のシリコン酸化膜７の膜厚が不均一になる場合に素子領域２ａ～２ｃからシリコン酸化膜７が完全に除去されるまで研磨すると、第１～第４の溝３ａ～３ｄの中でも研磨が進んでその中のシリコン酸化膜７の上面が湾曲し、皿形状（ディッシング）となる。

【００１１】本発明の目的は、シャロートレンチ形成のスループットを向上するとともに、溝の中に埋め込まれたシリコン酸化膜の研磨による平坦性を向上することができる半導体装置の製造方法を提供するものである。

【００１２】

【課題を解決するための手段】上記した課題は、半導体基板の主面の上に絶縁膜を形成する工程と、第１の硬さを有する第１の研磨布を用いて前記絶縁膜の一部を研磨する工程と、前記第１の研磨布による前記絶縁膜の研磨の後に、前記第１の硬さよりも軟い第２の硬さを有する第２の研磨布を用いて、前記絶縁膜を研磨する工程とを有することを特徴とする半導体装置の製造方法によって解決される。

【００１３】上記した半導体装置の製造方法において、前記半導体基板の前記主面の凹凸の段差は、例えば２０ｍｍ四方の任意の領域において２００ｎｍ未満であり、かつ、５ｍｍ四方の任意の領域において例えば５０ｎｍ

未満であることが好ましい。上記した半導体装置の製造方法において、前記半導体基板は、1×10^4 N／m^2～1×10^{10}N／m^2 のヤング率を有する弾性体が下部に形成された研磨ヘッドの下に取り付けられるようにしてもよい。

【００１４】上記した半導体装置の製造方法において、前記絶縁膜は、例えばシリコン酸化膜である。上記した半導体装置の製造方法において、前記第１の研磨布により前記絶縁膜を研磨する際には、第１のスラリーが前記絶縁膜の上に供給され、前記第２の研磨布により前記絶縁膜を研磨する際には、第２のスラリーが前記絶縁膜の上に供給されるようにしてもよい。

【００１５】上記した半導体装置の製造方法において、前記第１の研磨布は、圧縮加重に対する圧縮歪み量の比が０．０６μm・cm^2 ／ｇ以下であることが好ましい。上記した半導体装置の製造方法において、前記第２の研磨布による前記絶縁膜の研磨の後に、前記研磨ストップ膜を除去することによって、前記溝内に充填された前記絶縁膜を前記半導体基板の上面から突出させて凸部を形成する工程とを含むようにしてもよい。

【００１６】上記した半導体装置の製造方法において、前記絶縁膜を形成する前に、前記半導体基板の上の第１の領域に研磨ストップ膜を形成する工程と、前記研磨ストップ膜に覆われない第２の領域に溝を形成する工程を有し、前記第２の研磨布による前記絶縁膜の研磨は、前記研磨ストップ膜が露出するまで続けられるようにしてもよい。この場合、前記絶縁膜はプラズマＣＶＤ法により形成されたシリコン酸化膜であって、前記研磨ストップ膜はＣＶＤ法により形成されたシリコン窒化膜であるようにしてもよい。

【００１７】この場合、前記研磨ストップ膜と前記半導体基板の間に初期酸化膜を形成する工程をさらに含むとともに、前記半導体基板はシリコン基板であり、前記絶縁膜はＣＶＤ法により形成されたシリコン酸化膜であり、前記研磨ストップ膜はＣＶＤ法により形成されたシリコン窒化膜であり、前記初期酸化膜は前記半導体基板の表面に形成されたシリコン酸化膜であり、前記第２の研磨布により前記絶縁膜を研磨した後の状態では、前記溝に埋め込まれた前記絶縁膜の膜厚の値は、前記溝の底から前記研磨ストップ膜の最上面までの高さの値の１倍～２倍の範囲に存在するようにしてもよい。

【００１８】また、前記絶縁膜よりも研磨速度の遅い研磨用被覆膜を前記絶縁膜の上に形成する工程をさらに含むようにしてもよい。ここで、前記半導体基板はシリコン基板であり、前記絶縁膜はＣＶＤ法により形成されたシリコン酸化膜であり、前記研磨ストップ膜はＣＶＤ法により形成されたシリコン窒化膜であり、前記第２の研磨布により前記絶縁膜を研磨した後の状態では、前記溝に埋め込まれた前記絶縁膜の膜厚は、前記溝の底から前記研磨ストップ膜の最上面までの高さの１．１倍～１．５倍の範囲に存在し、前記研磨用被覆膜は３０ｎｍ～１５０ｎｍの膜厚を有するようにしてもよい。

【００１９】また、前記溝の中には、前記半導体基板の一部を突出させてなる微小凸部を形成するようにしてもよい。また、前記第２の研磨布を使用して前記絶縁膜を研磨する工程においては、前記絶縁膜の研磨から前記研磨ストップ膜の研磨に変わる際の前記第２の研磨布による研磨トルクの変化を検出する方法によって研磨終了点を検出するようにしてもよい。

【００２０】また、前記第２の研磨布を使用して前記絶縁膜を研磨する工程においては、前記絶縁膜に向けて波長１００ｎｍ～１０００ｎｍの単一波長のレーザ光を照射して、前記絶縁膜の研磨から前記研磨ストップ膜の研磨に変わる際の前記レーザ光の反射強度の変化点を検出する方法によって研磨終了点を検出するようにしてもよい。

【００２１】次に、上記した発明の作用について説明する。本発明においては、半導体基板に形成した溝内に絶縁膜を充填する際に、研磨布を変える２ステップの研磨によって半導体基板上の絶縁膜を除去するようにしている。これによれば、第１ステップの研磨によって絶縁膜の凸部の体積を減らし、その後の第２ステップの研磨による平坦化が促進される。

【００２２】第１ステップの研磨工程の研磨では、研磨布として圧縮加重（ｇ／cm^2 ）に対する圧縮歪み量（μm）の比が０．０６（μm・cm^2 ／ｇ）以下の硬さの硬い研磨表面を有する研磨布を用い、研磨剤として酸素を主成分とする絶縁膜の研磨レートが２００ｎｍ／分以下と小さい第１の研磨レートとなるような研磨剤を用いて研磨する。

【００２３】第１ステップの研磨工程では、被研磨基板の表面の凹凸差が小さくなった時点で研磨レートが非常に遅くなるため、ここで研磨を終了する。第２ステップの研磨工程では、絶縁膜の研磨レートが第１の研磨レートよりも大きい第２の研磨レートとなるような研磨剤を用い、かつ第１の研磨布に比べて軟らかい研磨布を用いる。そして、研磨対象物の研磨布への押圧力を小さくして研磨布の表面追随性を低下させ、かつ研磨布を高速回転させて線速度を上げて研磨を行う。

【００２４】ここで、研磨布の表面追随性とは、被研磨基板の被研磨面に凹凸が存在し、かつ研磨布が比較的軟らかい場合、研磨中に被研磨面の凹凸に従って研磨布の表面が変形する性質をいう。第２ステップの研磨工程において、研磨レートが大きくなるような研磨剤を用い、かつ比較的軟らかい研磨布を用いるのは、表面を平坦化するためである。

【００２５】第２ステップの研磨工程では窒素を主成分とする研磨ストップ膜が現れ、研磨面が平坦になった時点で研磨が終る。これにより、半導体基板の溝が絶縁膜により埋め込まれ、平坦化した基板表面が得られる。こ

れに対して、従来の技術、即ち第１ステップの研磨を省略して第２ステップの研磨と同じ条件だけで研磨を行った場合には、研磨は被研磨基板のパターンの疎密の影響を受けて微細な凸部領域の研磨の制御が不可能になる。

【００２６】なお、絶縁膜が充填された溝は、素子分離として適用してもよいし、或いは、溝から突出した絶縁膜の凸部、又は、その凸部に囲まれた凹部をアライメントマークとして適用してもよい。ところで、層間絶縁膜の表面に凹凸が生じている場合に、特定のスラリーを用いて特定の硬さの研磨布によって層間絶縁膜を研磨すると、従来の研磨方法に比べてその平坦性は改善される。そのスラリーとしては、ＯＨ基を有する分散剤中にシリカ系物質又は酸化セリウムよりなる砥粒を含むものがある。また、研磨布としては、圧縮加重に対する圧縮歪み量の比が０．０６$\mu m \cdot cm^2$／ｇ以下である硬さのものが好ましい。この場合、被研磨基板と研磨布の相対線速度は４０ｎｍ／分が好ましい。

【００２７】

【発明の実施の形態】以下に、本発明の実施の形態について図面を参照しながら説明する。

（第１の実施の形態）まず、本発明の実施の形態に用いられる研磨装置について説明し、その後にその研磨装置を用いた研磨方法について説明する。

【００２８】研磨装置

図５(a)、(b)は本発明の実施の形態に用いられる研磨装置について示す側面図であり、図５(a)はその側面図、図５(b)はその上面図である。その研磨装置は、研磨板３１とその上に配置される基板保持具３２とを有している。

【００２９】研磨板３１は、基台１０１とその上面に張りつけられる研磨布１０２とを有し、さらにその下面の中心には回転可能な支持軸１０３が固着されている。基台１０１は、例えばアルマイトにより被覆されたアルミニウム板や熱変形の小さい大理石、御影石などの石板から構成されている。研磨布１０２として第１の研磨工程では非常に硬いものを用い、第２の研磨工程で軟らかいものを用いる。硬い研磨布として、例えば厚さ１２７０μmの発砲性ポリウレタンからなるローデル（Rodel）社製の商品名ＩＣ－１０００があり、また軟らかい研磨布として、例えばローデル社製の不織布構造の商品名Ｓｕｂａ４００がある。

【００３０】研磨布１０２としては、渦巻き状の溝（Ｋグルーブ）、又は縦横の格子状の溝、又は多数の孔などが研磨面に形成されたものを用いる。基板保持具３２は、保持台１０４とリテイナーリング１０５とを有している。基板保持具３２の保持台１０４は、その下面に、表面張力を利用して被研磨基板（研磨対象物）３３が張りつけられ、また、その上面の中央には回転可能な支持軸１０６が取付けられている。さらに、保持台１０４には、押し下げられる方向に押圧力Ｐが加えられ、これによって被研磨基板３３全体を研磨布１０２に押圧できるようになっている。保持台１０４には、保持台１０４を貫通する多数の小孔（不図示）が形成されており、小孔に窒素等ガスを外部から吹き込んで被研磨基板３３に吹き出させることによって被研磨基板３３への押圧力を部分的に調整することができるようになっている構造のものもある。この押圧力は、研磨剤とともに研磨対象物の研磨レートを左右する。

【００３１】基板保持具３２のリテイナーリング１０５は、保持台１０４の下面における被研磨基板３３の横方向の移動を規制するために設けられているものである。またリテナーリング１０５は、保持台１０４下側に被研磨基板３３を貼り付けた状態で、被研磨基板３３の下面からの被研磨基板３３の突出量と同程度の突出量となるように保持台１０４の周縁に取付けられる。リテイナーリング１０５は、高さを調節できない固定式のもの又は高さを調節できる調整式のものがあり、どちらを選択してもよい。

【００３２】研磨装置は、その製造元の違いによって基板保持具３２の構造が異なっているため、被研磨基板を押圧する力についての呼び方が異なる。研磨装置として、例えば、ストラスバー社の商品名６ＤＰ－ＳＰや商品名６ＥＤではウェハを貼り付けた板がウェハを下方に押す力をダウンホースといい、ウェハを貼り付ける板に設けられている小孔から放出されるガスがウェハを押す力をバックプレッシャーという。

【００３３】研磨装置ＭＩＲＲＡ３４００（商品名）の場合、保持台１０４の保持面のメンブレンに加わる圧力をメンブレン圧力といい、保持台１０４の裏側をゴムチューブにより加える圧力をインナーチューブ圧力という。なお、押圧力とは異なるが、保持台１０４上に突出する高さを調整するためにリテーナリング１０５に加える圧力であるリテイナーリング圧力も規定することがある。研磨レートに多少影響を与えるためである。

【００３４】また、研磨の最中には研磨面に研磨剤が供給される。研磨剤として、分散剤又は研磨促進剤に砥粒を分散させたものを使用する。分散剤又は研磨促進剤としては、テトラメチルアンモニウムハイドロオキサイド（ＴＭＡＨ;$(CH_3)_4NOH$）アミン系材料のような有機物、又はKOH、NH_4OHなどの無機物を使用する。砥粒として、コロイダルシリカ、ヒュームドシリカのようなシリカ、又は酸化セリウム（CeO_2）を用いる。

【００３５】次に、図５に示す研磨装置を用いて被研磨基板３３を研磨する方法の概要について説明する。まず、基板保持具３２の保持台１０４の下面に被研磨基板３３を貼り付ける。次に、基板保持具３２を降ろして被研磨基板３３の被研磨面を研磨布１０２の表面に接触させる。そして、研磨板３１と基板保持具３２ともに支持軸１０６を中心として互いに回転させ、更に、研磨板３１の上で基板保持具３２をＸ軸方向に一定の速度で往復

動させる。その往復動作を以下に振動という。

【００３６】この場合、２つの支持軸１０３、１０６の駆動力により回転する保磁台１０４と基台１０１の相対速度を所定の値に設定するとともに、振動の速度を所定の値に設定して、被研磨基板３３を研磨する。そのような回転動作と振動によって被研磨基板３３の研磨が進むが、本実施形態では研磨の最初から最後まで同じ条件で研磨するのではなく、研磨条件を変えて２ステップで実施する。

【００３７】この２ステップの研磨条件として、研磨剤、研磨布又は回転速度のうちの少なくとも１つの条件を異ならせる。研磨剤については上記した材料から選択する。研磨布については、第１ステップに使用する研磨布として、第２ステップで使用する研磨布よりも硬いものを選択する。例えば第１の研磨工程では、図６に示すように、研磨布１０２として圧縮加重に対する圧縮歪み量の比が０．０６μｍ・ｃｍ^2／ｇ以下の硬い研磨表面を有するものを用いることが必要である。例えばローデル社の商品名ＩＣ－１０００はその条件を満たしている。

【００３８】研磨布１０２が単一材料により形成された単層構造を有する場合には、その研磨布１０２の素材の特性を示す物理量のうちのヤング率が、10^6～10^9 N／m^2 オーダー、好ましくは1×10^7 N／m^2～5×10^8 N／m^2である素材から整形された研磨布を使用する。一方、研磨布１０２である商品名Ｓｕｂａ４００は図７に示すような柔らかい性質を有しているので、第１の研磨工程に使用するよりも第２の研磨工程で使用するのが好ましい。また、ローデル社の研磨布である商品名ＩＣ１４００も使用可能である。

【００３９】なお、図６及び図７の縦軸は線形目盛りで表した圧縮歪み量を示し、横軸は線形目盛りで表した圧縮加重を示す。次に、研磨装置における被研磨基板３３表面の複数の点における線速度について説明する。被研磨基板３３の所定部分での線速度は、以下のような式から求められる。以下の式において、図５(b)に見られるように、研磨板３１の半径をＬ０とし、研磨板３１の中心及び基板保持具３２の中心からそれぞれ被研磨基板３３上の任意の点（ｘ，ｙ）に至る距離をＬ１，Ｌ２とする。また、研磨板３１の中心及び基板保持具３２の中心と点（ｘ，ｙ）とを結ぶ２つの直線とＸ軸とのなす内角の角度をそれぞれθ，ϕとする。さらに、基板保持具３２の中心が振動する範囲を研磨板３１の中心からＸ軸方向に所定の距離１０内とする。

【００４０】また、研磨板３１及び基板保持具３２はそれぞれ支持軸１０３，１０６を中心として同じ方向に回転し、それらの角速度をそれぞれω_1及びω_2とする。この場合、任意の点（ｘ，ｙ）において、プラテン（研磨板３１）による線速度、ヘッド（基板保持具３２）による線速度およびヘッドの振動成分は、それぞれ次のような式で示される。

【００４１】　研磨板３１による線速度（ｖｐｘ，ｖｐｙ）は次式（１）、（２）で示される。

【００４２】

【数１】

$$Vpx=-L_1\omega_1\sin\theta=-L_1\omega_1 Y/L_1=-\omega_1 Y \qquad (1)$$

【００４３】

【数２】

$$Vpy=-L_1\omega_1\cos\theta=-L_1\omega_1(L_0-l_0\sin\omega_3 t-X)/L_1 \qquad (2)$$
$$=-\omega_1(L_0-l_0\sin\omega_3 t-X)$$

【００４４】　基板保持具３２による線速度（ｖｈｘ，ｖｈｙ）は次式（３）、（４）で示される。

【００４５】

【数３】

$$Vhx=-L_2\omega_2\sin\phi=-L_2\omega_2 Y/L_2=-\omega_2 Y \qquad (3)$$

【００４６】

【数４】

$$Vhy=L_2\omega_2\cos\phi=L_2\omega_2 X/L_2=\omega_2 X \qquad (4)$$

【００４７】　基板保持具３２の振動ｆは次の式（５）で表される。ただし、ヘッドの振動が角速度ω_3で周期的に振動しているとする。

【００４８】

【数５】

$$f=L_0-l_0\sin\omega_3 t \qquad (5)$$

【００４９】また、振動の微分値ｆ’は、時間の関数として基板保持具３２のＸ軸方向の線速度に影響を与え、次の式（６）で表される。

【００５０】

【数６】

$$f'=d(L_0-l_0\sin\omega_3 t)/dt=l_0\omega_3\cos\omega_3 t \qquad (6)$$

【００５１】以上のことから、被研磨基板３３表面の任意の点（ｘ，ｙ）における線速度は　～　を合成して式（７）、（８）で表される。但し、研磨板３１と基板保持具３２の回転方向は同一の方向としている。

【００５２】

【数７】

$$Vx=Vpx-Vhx-l_0\omega_3\cos\omega_3 t \qquad (7)$$
$$=(\omega_2-\omega_1)Y-l_0\omega_3\cos\omega_3 t$$

【００５３】

【数８】

$$Vy=Vpy-Vhy \qquad (8)$$
$$=-\omega_1(L_0-l_0\sin\omega_3 t)-(\omega_2-\omega_1)X$$

【００５４】上記した式を各社の研磨装置に適用した場合の被研磨基板３３の線速度を以下の条件の下で上記の式を用いて計算した結果を表１に示す。表１の計算では、各社の研磨装置の回転の条件を次のような値とした。但し、表１中の測定点Ａ～Ｅは、図５(b)に示した被研磨基板３３の中央の点をＡとし、左右の点をＢ，Ｃ

とし、上下の点をＤ，Ｅとした。なお、表１を求める際に振動成分を計算に含めなかった。

【００５５】　研磨装置６ＤＰ－ＳＰ
Ｌ０＝１７．５ｃｍ
◇第１ステップの研磨
基板保持具の回転数＝４５ｒｐｍ
研磨板の回転数＝４５ｒｐｍ
ω１＝９０πｒａｄ／ｍｉｎ
ω２＝９０πｒａｄ／ｍｉｎ
◇第２ステップの研磨
基板保持具の回転数＝３０ｒｐｍ
研磨板の回転数＝３０ｒｐｍ
ω１＝６０πｒａｄ／ｍｉｎ
ω２＝６０πｒａｄ／ｍｉｎ
研磨装置６ＥＤ
Ｌ０＝２４ｃｍ
◇第１及び第２の研磨工程
基板保持具の回転数＝４０ｒｐｍ
研磨板の回転数＝３３ｒｐｍ
ω１＝６６πｒａｄ／ｍｉｎ
ω２＝８０πｒａｄ／ｍｉｎ
研磨装置ＭＩＲＲＡ３４００
Ｌ０＝１２．７ｃｍ
◇第１及び第２の研磨工程
基板保持具の回転数＝９７ｒｐｍ
研磨板の回転数＝１０３ｒｐｍ
ω１＝２０６πｒａｄ／ｍｉｎ
ω２＝１９４πｒａｄ／ｍｉｎ
【００５６】
【表１】

工程	位置	6 DS-SP		6 ED		MIRRA 3400	
		V_x	V_y	V_x	V_y	V_x	V_y
第一の研磨工程	A	0	-4948	0	-4976	0	-8219
	B	0	-4948	0	-4096	0	-8973
	C	0	-4948	0	-5856	0	-7465
	D	0	-4948	880	-4976	-754	-8219
	E	0	-4948	-880	-4976	754	-8219
第二の研磨工程	A	0	-3299	0	-4976	0	-8219
	B	0	-3299	0	-4096	0	-8973
	C	0	-3299	0	-5856	0	-7465
	D	0	-3299	880	-4976	-754	-8219
	E	0	-3299	-880	-4976	754	-8219

注）１．単位はｃｍ/minである。
２．符合は、（Ｘ方向は右向きが正／Ｙ方向は上向きが正）を示す。

【００５７】次に、半導体基板にシャロートレンチアイソレーションを形成する工程を例に挙げて、研磨の具体例を説明する。図８は、本発明の第１の実施の形態に係るシャロートレンチアイソレーションを作成する方法について示すフローチャートである。また、図９(a)～(c)、図１０(a),(b)はシャロートレンチアイソレーションを形成する工程を示す断面図である。

【００５８】図８においてＰ１で示すSiN膜に被覆された凹凸のある基板の形成工程は次のようになる。まず、図９(a)に示すように、直径８インチのシリコン基板（半導体基板）１の表面に膜厚約１０ｎｍの酸化膜２５と膜厚約１００～２５０ｎｍの窒化膜２６を順に形成する。ここで、酸化膜は酸化シリコン（SiO_2）であり、窒化膜２６は窒化シリコン（Si_3N_4）、窒化酸化シリコン（SiON）のように窒素を成分とする下地絶縁膜である。窒化シリコンを成長する場合には、例えば反応ガスとしてジクロールシラン（SiH_2Cl_2）とアンモニア（NH_3）を用いて、成長温度を８００℃、成長雰囲気圧力を約０．２Torrに設定する条件を採用する。

【００５９】続いて、図９(b)に示すように、素子分離領域となる領域の窒化膜２６及び酸化膜２５を除去した後に、図９(c)に示すように、窒化膜２６及び酸化膜２５に覆われない部分のシリコン基板２１をエッチングして深さが０．２μｍ～０．５μｍ程度の浅い第１～第４の溝（凹部）２３ａ～２３ｄを形成する。このとき、第１～第４の溝２３ａ～２３ｄによりシリコン基板１の素子形成領域が区画され、０．２５μｍ程度の狭い幅の第１の溝２３ｃに隣接した領域は狭い面積の第１の素子領域２２ｃとなり、幅１０μｍの中程度の幅の溝２３ｂに隣接した領域は中程度の面積の第２の素子領域２２ｂとなり、数十μｍ以上の広い幅の溝２３ａ，２３ｄに隣接した領域は広い面積の第３の素子領域２ａとなる。

【００６０】続いて、シリコン基板２１の露出面を熱酸化して膜厚約１０ｎｍのシリコン酸化膜２４を形成す

る。これによって、第１～第４の溝２３ａ～２３ｄに隣接する凸状の素子形成領域が窒化膜２６により覆われた基板の形成工程が終了する。次に、図８に示すＰ２の工程に移る。この工程では、図１０(a) に示すように、ＩＣＰ（誘導結合型プラズマ）法、ＥＣＲ（Electron Cyclotron Resonance）法のような、いわゆる高密度プラズマ（ＨＤＰ（high density prasma）ＣＶＤ（Chemical Vapor Deposition）法を用いて、シリコン基板２１の表面に第１～第４の溝２３ａ～２３ｄの深さよりも厚い膜厚、例えば約７３０ｎｍ程度のシリコン酸化膜２７をシリコン基板２１に形成し、併せてこのシリコン酸化膜２７を第１～第４の溝２３ａ～２３ｄ内に完全に埋め込む。高密度プラズマＣＶＤ法を用いて成膜すると、幅の狭い第３の溝２３ｃ内へのシリコン酸化膜２７の埋め込みがより完全に行われる。このシリコン酸化膜２７は、不純物がドープされたＰＳＧ、ＢＰＳＧ、ＢＳＧのようなものであってもよい。

【００６１】ＨＤＰ－ＣＶＤ法によってシリコン酸化膜２７を成長する場合には、例えば反応チャンバ（不図示）内にSiH_4を約１５０sccm、酸素を約２３０sccm、希釈ガスを約４００sccmの流量で導入する。そのシリコン酸化膜の露出面の形状は平坦ではなく、凹凸が生じている。しかも、第１の素子領域２２ａ、第２の素子領域２２ｂの上のシリコン酸化膜２７の膜厚が厚くなる一方、狭い面積の第３の素子領域２２ｃの上のシリコン酸化膜２７の膜厚が薄くなっている。また、狭い第３の溝２３ｃの埋込領域のシリコン酸化膜２７の膜厚t_6は、第２の溝２３ｂ又は第１の溝２３ａの埋込領域のシリコン酸化膜２７の膜厚t_4，t_5よりも厚くなっている。その厚くなっている量は溝２３ａ～２３ｄの深さが０．４μｍ、狭い第３の溝２３ｃの幅が０．２５μｍ程度の場合に、シリコン酸化膜２７を第１の素子領域２２ａで約７３０nmの厚さに成長させると、t_6はt_4、t_5よりも約１．１倍厚くなる。

【００６２】この状態のシリコン基板２１が、上記した被研磨基板３３と呼ばれるものである。次いで、図１のＰ３に示す第１ステップの研磨工程に移る。第１ステップの研磨工程では、研磨布１０２として硬い商品名ＩＣ－１０００を用いる。また、研磨剤として、フジミ社製の商品名PLANERLITE-6103 、キャボット社の商品名ＳＳ－２５、或いはロデール社製の商品名ロデール２３７１を用いる。PLANERLITE-6103 、ＳＳ－２５を用いる場合には純水により希釈する。研磨材料の種類による研磨結果の違いについては後述する。

【００６３】まず、シリコン酸化膜２７を下側にして被研磨基板３３を基板保持具３２の下面に取付けた後に、研磨板３１を所定の回転数R_1で回転させるとともに、基板保持具３２も研磨板３１と同じ方向又は反対方向に所定の回転数R_2で回転させる。続いて、基板保持具３２と研磨板３１とを近づけると同時に流量３５０ｃｃ／分でスラリーを研磨布１０２の上に流し、これにより研磨布１０２と被研磨基板３３の間にスラリーを供給する。スラリーは、スラリー供給ノズル１０７から供給される。

【００６４】そして、基板保持具３２を押圧することによって被研磨基板３３のシリコン酸化膜２７と研磨布１０２を接触させて研磨を開始する。その研磨状態を所定の時間維持すると、狭い面積の第３の素子領域２２ｃ、及び中程度の面積の素子領域２２ｂ上に突出しているシリコン酸化膜２７のみが硬い研磨布１０２によって主として研磨されてシリコン酸化膜２７の体積が減少する。所定の研磨時間が経過した時点で第１ステップの研磨工程を終了する。

【００６５】このように硬い研磨布１０２を用いると、凸部の突出量の大きな部分が選択的に研磨パッドに接触し、凸部は凹部に比べて強く研磨布１０２に接触するので凸部の研磨レートは速くなり、選択研磨が実現する。そして、第１ステップの初期段階では、主に凸部の平坦化に研磨が消費される。なお、第１ステップの研磨を有効に行うためは、第１～第４の溝２３ａ～２３ｄを除いた領域に存在するシリコン窒化膜２６の残存領域が、ウエハ上面の全面積の１０％以上、好ましくは３０％以上であって最大７０％程度の被研磨基板３３を用いることが好ましい。

【００６６】次に、図１のＰ４に示す第２ステップの研磨工程に移る。この第２ステップの研磨工程では、研磨布１０２としてＩＣ－１４００を用いて残りのシリコン酸化膜２７を除去する。この場合のスラリーの材料を変える。その材料として、例えば、ＫＯＨを含む分散剤（研磨促進剤）中にヒームドシリカ（砥粒）を分散させたものを用いる。例えば、キャボット社のＳＳ－２５（商品名）があり、このＳＳ－２５を純水により１：１に希釈する。

【００６７】このスラリーを研磨布１０２上に流量３００ｃｃ／分で供給しながら、研磨板３１を回転数R_3で回転させるとともに、基板保持具３２も研磨板３１と同じ方向又は逆方向に回転数R_4で回転させる。そして、被研磨基板３３を研磨布１０２に押しつけると、シリコン酸化膜２７の研磨が開始し、さらに窒化膜２６を研磨終点として研磨を終了する。第２ステップの研磨では、柔らかい研磨布１０２に交換されるので、シリコン酸化膜２７の凸部への研磨布１０２の押圧力が第１ステップの研磨よりも小さくなってシリコン酸化膜２７の凸部の研磨量と凹部の研磨量の差が小さくなる。

【００６８】そのような第２ステップの研磨工程では、図１０(b) に示すように、広い面積の第１の素子領域２２ａ上のシリコン酸化膜２７も併せて研磨され、除去される。即ち、全ての素子領域２２ａ～２２ｃ上のシリコン酸化膜２７が研磨され、除去されてシリコン窒化膜２６が現れ、この状態で研磨レートが小さくなる。全ての

窒化膜２６が現れた時点で、研磨を停止する。これにより、シリコン酸化膜２７が埋め込まれた第１～第３の溝２３ａ～２３ｄによって素子分離用のシャロートレンチアイソレーション（ＳＴＩ）が形成される。続いて、窒化膜２６と酸化膜２５を除去する。

【００６９】その後に、ＳＴＩによって分離された第１～第３の素子領域２２ａ～２２ｃにＤＲＡＭ、ＳＲＡＭ又はロジック回路、その他の素子を作成する。なお、上記した実施形態では、被研磨物である絶縁膜としてＨＤＰ－ＣＶＤ法により形成されたシリコン酸化膜２７を用いているが、成膜とスパッタエッチングを同時に或いは繰り返しながら成膜した膜を用いてもよい。このような膜であれば、第１の実施の形態と同じように狭い溝内への埋め込みがより完全になる。

【００７０】次に、第１ステップの研磨と第２ステップの研磨の条件を変えた場合に、研磨がどのように相違するかを説明する。

第１例

図１０(a) に示す状態で、シリコン酸化膜２７の研磨に使用する研磨装置としてストラバー社製の商品名６ＤＳ－ＳＰを使用し、第１ステップの研磨と第２ステップの研磨を行なう。

【００７１】まず、第１ステップの研磨は、研磨布１０２としてＩＣ－１０００を用いて行なう。また、スラリーとして、アミン系の分散剤（研磨促進剤）中にコロイダルシリカ（砥粒）を分散させた研磨剤（スラリー）を用いたもの。例えば、フジミ社製の商品名PLANERLITE-6103 を使用する。その研磨布１０２、その他の研磨条件を表２に示す。

【００７２】

【表２】

研磨装置	ストラスバー社 6DS-SP
1st. CMP	
研磨布	IC-1000
研磨スラリー	PLANERLITE 6103：純水=1：1
ダウンフォース	5 psi
バックプレッシャー	1 psi
研磨板回転数 R_1	45 rpm ┐ 同方向
基板保持具回転数 R_2	45 rpm ┘
研磨レート	50nm/min以下

【００７３】スラリーであるPLANERLITE-6103 は、ポリシリコンの研磨剤として使用されるのが一般的であり、シリコン酸化膜２７と化学的にほとんど反応しないため研磨レートは小さいが、上記した押圧力（ダウンフォース、バックプレッシャー）の条件などによって研磨レートを２００ｎｍ／分以下になるように調整する。研磨レートを大きくすると、機械的な圧力が強くなって、第１～第４の溝２３ａ～２３ｄの上のシリコン酸化膜２７の研磨速度も大きくなるからである。

【００７４】表２に示す条件によって図１０(a) に示すシリコン酸化膜２７を研磨すると、面積の大きな第１の素子領域２２ａの上のシリコン酸化膜２７の上部は図１１に示すように丸みを帯びてその体積が小さくなる。このように第１の素子領域２２ａのシリコン酸化膜２７の凸部のみが丸みを帯びる程度に研磨されるのは次のような理由による。

【００７５】即ち、面積の狭い第３の素子領域２２ｃ、及び中程度の面積の第２の素子領域２２ｂ上に突出しているシリコン酸化膜２７はそれぞれ機械的に弱くなっているために、硬質の研磨布によって物理的な圧力が加わるからである。また、第１の素子領域２２ａ上のシリコン酸化膜２７は、その突出量が大きいので研磨布１０２に押圧される力が強くその体積が大きく減少する。

【００７６】以上のように、図１０(a) において凸部となっているシリコン酸化膜２７の量を減らすことで、次の第２の研磨工程において第１～第４の溝２３ａ～２３ｄの上のシリコン酸化膜２７の過剰研磨が抑制される。

次に、第２ステップの研磨工程に移る。第２ステップの研磨では研磨布をＩＣ－１０００からＩＣ－１４００に交換するとともに、商品名ＳＳ－２５を純水で１対１の割合で希釈したスラリーとして使用する。ＩＣ－１４００は、ＩＣ１０００と同じ発泡ポリウレタンから成形されているが、その下にはＳｕｂａ４００と同程度の柔らかさを持った素材が形成されている２重構造を有する研磨布である。

【００７７】この第２ステップの研磨条件を表３に示す。

【００７８】

【表３】

研磨装置	ストラスバー社 6DS-SP
2nd. CMP	
研磨布	(IC-1400)
研磨スラリー	SS-25：純水=1：1
ダウンフォース	6 psi
バックプレッシャー	1 psi
研磨板回転数 R_3	30 rpm ┐ 同方向
基板保持具回転数 R_4	30 rpm ┘
研磨レート	250 nm/min

【００７９】一方、第２の研磨工程の研磨では、表３に示すように押圧力を小さくし、かつ研磨板３１を比較的高速回転させ、さらに被研磨基板３３の表面の凹凸に対する研磨板３１表面の研磨布１０２の追従性（表面の凹凸に対する研磨布変形の追従性）を低下させて研磨する。これにより、面積の広い第１の素子領域２２ａに残

った厚いシリコン酸化膜２７での研磨レートが高くなり、ついには窒化膜２６の上のシリコン酸化膜２７が除去される。窒化膜２７は、研磨の終点検出用の膜として機能する。これにより、第１～第４の溝２３ａ～２３ｄ内に埋め込まれたシリコン酸化膜２７の表面から窒化膜２６の表面を含む領域は平坦になる。

【００８０】以上のように、第１ステップの研磨工程では、機械的要素が強い研磨を行って広い面積又は中程度の面積の第１又は第２の素子領域２２ａ，２２ｂに存在するシリコン酸化膜２７の体積を減らすと、第２ステップの研磨を終えたときに第１～第４の溝２３ａ～２３ｄ内のシリコン酸化膜２７の上面が皿状に窪む現象、即ちディッシングが発生しにくくなる。

【００８１】しかも、本実施形態では、従来技術のようにレジストを用いてシリコン酸化膜をエッチングする工程を有していないので、工程が短縮されてスループットが向上する。ところで、以上のような第１ステップの研磨工程を開始する前のシリコン酸化膜２７の表面段差と第１ステップの研磨工程を終えた状態の被研磨基板の表面段差をそれぞれ段差測定器（ＨＲＰ）によって測定したところ、図１２～図１５のようになった。

【００８２】図１２、図１３は、初期のシリコン酸化膜２７の表面の段差形状であり、図１４、図１５は第１ステップの研磨を終えたシリコン酸化膜２７の表面の段差形状である。測定領域は、ＤＲＡＭを形成しようとするシリコン基板のうち、スクライブ部分と、周辺回路領域内の大パターン形成部分と、セル部の周辺と、セル内部の４つの領域である。

【００８３】窒化膜２６が存在するスクライブ部分と周辺回路領域内の大パターン形成部分は、それ自体で面積が広いので、第１ステップの研磨を終えると、図１２から図１４への変化に見られるように、それらの部分の上に残るシリコン酸化膜２７の凸部は角が丸められた状態になる一方で、セル部の周辺とセル内部では図１３、図１５を比較するとシリコ酸化膜の凸部がかなり低くなっていることわかる。

【００８４】その後で、第２ステップの研磨を終えると、図１０(b) に示すように被研磨基板３３の研磨面は平坦になる。

第２例

図１０(a) に示す状態で、シリコン酸化膜２７の研磨に使用する研磨装置としてアプライドマテリアル社のＭＩＲＲＡ３４００を使用し、第１ステップの研磨と第２ステップの研磨を行なう。

【００８５】第２例では、研磨布、スラリーについては第１例と同じものを用いた。第１ステップの研磨の条件を表４に示し、第２ステップの研磨の条件を表５に記載する。

【００８６】

【表４】

研磨装置	アプライドマテリアル社 MIRRA3400
1st. CMP	
研磨布	IC-1000
研磨スラリー	PLANERLITE 6103：純水=1：1
メンブレン圧力	5 psi
インナーチューブ圧力	7 psi
リテナーリング圧力	9 psi
研磨板回転数 R_1	103 rpm ┐ 同方向
基板保持具回転数 R_2	97 rpm ┘
研磨レート	120 nm/min

【００８７】

【表５】

研磨装置	アプライドマテリアル社 MIRRA3400
2nd. CMP	
研磨布	IC-1400
研磨スラリー	SS-25：純水=1：1
メンブレン圧力	3.5 psi
インナーチューブ圧力	3 psi
リテナーリング圧力	5 psi
研磨板回転数 R_3	103 rpm ┐ 同方向
基板保持具回転数 R_4	97 rpm ┘
研磨レート	330 nm/min

【００８８】第１ステップの研磨工程では、第１例と同様に、面積の狭い第３の素子領域２２ｃに突出しているシリコン酸化膜２７は、硬い研磨布１０２との接触により物理的に除去され易い。一方、広い面積の第１の素子領域２２ａ上のシリコン酸化膜２７は機械的に強い上、研磨剤が研磨対象となるシリコン酸化膜と化学的に反応しにくいものであるため、その領域ではシリコン酸化膜２７が殆ど研磨されず、その上部の角は図１１に示したように丸みを帯びる。

【００８９】第２ステップの研磨工程の研磨では、研磨対象物と化学的に反応する研磨剤を用い、研磨対象物と研磨布１０２との押圧力を小さくし、かつ基台１０１を高速回転させて研磨する。これにより、被研磨基板３３の被研磨面による研磨布１０２の表面追随性を低下させて、広い面積の第１の素子領域２２ａに残った厚いシリコン酸化膜２７を研磨し、かつ第１～第４の溝２３ａ～２３ｄにシリコン酸化膜２７が埋め込まれ、平坦化した面を得ることができる。

【００９０】第２の実施の形態によれば、単一の研磨工程だけで簡便に被研磨基板の凹部内にシリコン酸化膜２７を埋め込み、かつ被研磨基板３３の表面を平坦化することが可能となる。次に、図１１に示すように、第１ス

テップの研磨を終えた状態において、第１の素子領域２２ａでのシリコン基板２１の上に存在する全ての膜の厚さt_{10}と、第１の溝２３ａのうちのシリコン基板２１の上面から突出している厚さt_{11}を調べる。なお、以下に、厚さt_{10}を素子領域での膜厚、t_{11}を突出し量という。

【００９１】まず、上記した第１ステップの研磨の後にはt_{10}とt_{11}がどの様に分布し、さらに、第２ステップの研磨の後にはt_{10}、t_{11}がどのように分布するかを調べたところ、図１６(a)，(b)ようになった。第１ステップの研磨の後の膜厚を示す図１６(a)では、第１ステップの研磨の後のt_{10}とt_{11}には約６００ｎｍの膜厚差があった。これに対して、第２ステップの研磨の後の膜厚を示す図１６(b)では、t_{10}とt_{11}には約８０ｎｍの膜厚差となってかなり平坦化されていることがわかる。

【００９２】第３例

図１０(a)に示す状態で、シリコン酸化膜２７の研磨に使用する研磨装置としてアプライドマテリアル社のＭＩＲＲＡ３４００を使用し、第１ステップの研磨と第２ステップの研磨を行なう。第３例では、第１ステップの研磨の際のスラリーを除いて研磨条件を第２例と同じにした。本例では、第１ステップの研磨に使用するスラリーとして、分散剤としてＫＯＨを含んでいる商品名ＳＳ－２５を純水で希釈したものを用いた。この場合、ＳＳ－２５の量を１とした場合に純水の量を２．５とした。またスラリーに含まれる砥粒として、シリカ又は酸化セリウム（CeO_2）を含むものを用いてもよい。また、分散剤としてNH_4OHを含んでいるものを使用してもよい。

【００９３】第１ステップの研磨の条件を表６に示し、第２ステップの研磨の条件を表７に記載する。なお、被研磨基板３３と基台１０１の相対線速度を４０ｍ／ｍｉｎ以上とすることが好ましい。

【００９４】

【表６】

研磨装置	アプライドマテリアル社 MIRRA3400
1st. CMP	
研磨布	IC-1000
研磨スラリー	SS-25：純水=1：2.5
メンブレン圧力	5 psi
イナーチュウブ圧力	7 psi
リテナーリング圧力	9 psi
研磨板回転数 R_1	103 rpm ┐ 同方向
基板保持具回転数 R_2	97 rpm ┘
研磨レート	330nm/min

【００９５】

【表７】

研磨装置	アプライドマテリアル社 MIRRA3400
2nd. CMP	
研磨布	IC-1400
研磨スラリー	SS-25：純水=1：1
メンブレン圧力	3.5 psi
イナーチュウブ圧力	3 psi
リテナーリング圧力	5 psi
研磨板回転数 R_3	103 rpm ┐ 同方向
基板保持具回転数 R_4	97 rpm ┘
研磨レート	330 nm/min

【００９６】上記した条件で第１ステップの研磨を行なったところ、図１２、図１３で示したシリコン酸化膜２７の初期状態の表面の凹凸は、図１７、図１８のようになり、面積の大きなスクライブ部では、図１７(a)に示すように、第１例及び第２例で示す場合に比べて、シリコン酸化膜２７の膜厚は大幅に減少した。その他の領域でも図１７(b)、図１８(a)、図１８(b)に示すように、シリコン酸化膜２７はほぼ平坦になった。

【００９７】この第１ステップの研磨の条件によって研磨されたシリコン酸化膜２７の膜厚の分布を調べたところ、図１９(a)に示すようになり、膜厚t_{10}と膜厚$_{11}$の膜厚差は数十ｎｍであり、極めて平坦になっていることがわかる。したがって、シリコン酸化膜２７のさらなる平坦化を行なうための第２ステップの研磨では、その研磨量は僅かであって研磨時間が短くてすみ、スループットがさらに向上する。その第２ステップの研磨を終えた状態でのシリコン酸化膜２７の膜厚の分布を調べたところ、図１９(b)に示すようになり、膜厚t_{10}と膜厚$_{11}$の膜厚差はさらに小さくなってシリコン酸化膜２７の上面の平坦性がさらに良くなっていることがわかる。

【００９８】以上のように、第１ステップの研磨によってシリコン酸化膜２７の平坦性が極めて改善された理由として次のことが推測される。まず、純水によって１／２．５倍の濃度に希釈されたスラリーによる研磨は、機械的要素の他に化学的な要素が大きいと考えられる。シリコン酸化膜（SiO_2）は、水中で次式（10）のような平衡反応を示す。

【００９９】

$$SiO_2 + H_2O \Leftrightarrow Si(OH)_4 \qquad (10)$$

その水中にＫＯＨを添加すると、Ｋイオンの触媒作用により反応が式（10）の右側に進み易くなる。これは、SiO_2から$Si(OH)_4$に変わる間に$KSi(OH)_3$などの中間体が生じて、式（１０）の右側への反応をよりスムーズに起こさせるからである。一般に使用されている研磨剤はその反応を利用してシリコン酸化膜を研磨します。

【０１００】その水にＫＯＨだけでなく、アミン系分散剤（例えばＴＭＡＨ（テトラメチルアンモニウムハイド

ロオキサイド）を添加すると、アミン系分散剤によってＫＯＨのイオンへの解離率が低下する。これは、$[H^+][OH^-]=10^{-14}=1E-14$という法則があるために、アミン系の分散剤によってもＯＨ$^-$イオンもしくはＯＨマイナスイオンは生成されるので、結果的にＫＯＨの解離率が低下するからである。

【０１０１】もとより、アミン系分散剤により形成されるイオンの種類によっては式（10）において触媒作用を示すが、分子自体が大きくなると、その大きさがシリコン酸化膜の表面反応を阻害するためにＫ$^+$イオンもしくはＫプラスイオンのような強力な触媒作用を示さなくなることが多い。例として挙げたＴＭＡＨにより生成される$N(CH_3)_4$プラスイオンにおいてもＫ$^+$イオンもしくはＫプラスイオンのような強力な触媒作用は示さない。

【０１０２】従って、ＫＯＨとアミン系分散剤を水に同時に添加した場合に、化学式（10）において、右側への反応が進み難くなる。これは、スラリーにおいても同様で、ＫＯＨ系スラリーとアミン系スラリーを混ぜることによってそれぞれが式（10）の右側への反応を阻害し合うためにシリコン酸化膜の研磨レートを低下させることになる。

【０１０３】なお、酸化セシウムは、シリカと異なり、シリコン酸化膜に対して還元的な反応を及ぼしながら研磨を行わせる。以上のことから、研磨の際の化学的な要素を調整することによって、研磨レートの制御や研磨状態の制御が容易になる。例えば、スラリーとして商品名ＳＳ－２５と商品名PLANAERLITE6103 を混合したものを使用すると、その混合比の違いによって図２０～図２３に示すように研磨状態が相違する。

【０１０４】図２０～図２３は、ＤＲＡＭのスクライブ部、周辺回路の大パターン部、セル部の周辺部、セル内部のそれぞれに形成したシリコン酸化膜２７の第１ステップの研磨を行なった後の状態を示している。また、図２０、図２１は、商品名ＳＳ－２５にその２倍の量の商品名PLANAERLITE6103 を加えたスラリーを使用している。さらに、図２２、図２３は、商品名ＳＳ－２５と商品名PLANAERLITE6103 を同じ割合で加えたスラリーを使用している。その他の研磨条件は、表６と同じに設定した。

【０１０５】それらの実験結果によれば、ＳＳ－２５の割合が多いほど、研磨量が増える上に、研磨面の平坦性が増すことがわかる。したがって、それらの混合比を調整することによって研磨状態を調整することが可能になる。次に、ＳＳ－２５の純水による希釈度が研磨レートにどのような影響を及ぼすかを説明する。

【０１０６】図２４は、ＳＳ－２５と純水の割合と研磨レートの関係を示すものであり、その関係から、シリコン酸化膜（SiO_2）については、純水による希釈度が大きくなるにつれて、研磨レートが小さくなってくることがわかる。なお、図２４の破線は、純水によるＳＳ－２５の希釈度とシリコン窒化膜（Si_3N_4）の研磨レートの関係磨レートの関係を示すものであるが、希釈度はシリコン窒化膜の研磨レートには殆ど影響を及ぼさないので、その希釈度を変えることはシリコン窒化膜の研磨ストップ機能を損なうものではないことがわかる。なお、図２４の結果からシリコン窒化膜に対するシリコン酸化膜の研磨選択比を求めると、図２５のようになる。

【０１０７】上記した実施形態では、半導体基板の溝内及び素子領域上に形成された埋込絶縁膜を研磨して平坦化する方法として、硬さの異なる研磨布を交換する２ステップ研磨法を使用することについて説明した。しかし、その研磨工程の後に、溝内の埋込絶縁膜にディッシングが発生しているかどうかについて調べてみると、溝の幅の相違によってディッシングの発生状況が異なることが実験によって確認された。

【０１０８】その実験は、試料として図２６(a),(b) に示すようなパターンを有するＴＥＧ(test element group）パターンを用いて行われた。ＴＥＧパターンは、８インチのシリコン基板５１に複数個形成されている。本ＴＥＧには、実製品レベルのパターンも形成されている。本ＴＥＧ内の単一の最大活性領域のパターンは、例えば８００μｍ×６００μｍである。

【０１０９】図２６(a),(b) において、シリコン基板５１には一辺の長さＬの正方形の溝（trench）５２が３８０ｎｍの深さに形成されている。また、その溝５２は、幅１００～１５０μｍの凸状の活性領域５３に囲まれて形成されており、溝５２の底面とその周囲のシリコン基板５１の最上面との段差は３８０ｎｍとなっている。活性領域５３のシリコン基板５１の表面には、SiO_2よりなる初期酸化膜５４が１０ｎｍの厚さに形成され、さらに、その活性領域５３の上には初期酸化膜５４を介してシリコン窒化膜５５が９９ｎｍの厚さに形成されている。シリコン窒化膜５５は研磨停止膜として機能する。

【０１１０】なお、活性領域５３は、例えば実質的に素子形成領域又はスクライブ領域に相当する領域である。次に、ＴＥＧパターンの溝５２内に埋込絶縁膜を充填する工程について説明する。まず、図２７(a) に示すように、高密度プラズマ（ＨＤＰ）ＣＶＤ法を用いてシリコン基板５１の上に埋込絶縁膜としてシリコン酸化膜５６を形成した。シリコン酸化膜５６は、活性領域５３の上で最も突出した状態となる。

【０１１１】なお、シリコン酸化膜５６の膜厚は、溝５２の深さよりも厚く、例えば７００ｎｍに設定される。次に、研磨装置としてアプライドマテリアル社の商品名ＭＩＲＲＡ３４００を使用してシリコン酸化膜５６を２ステップで研磨した。その研磨装置は図５で示したような概要構成を有している。

【０１１２】ＭＩＲＲＡ３４００の研磨装置では、半導体ウェハを支持する研磨ヘッドと、半導体ウェハと研磨ヘッドの間に介在するエアバックのような弾性体と、研

磨ヘッドの下面の周囲に取り付けられるリテイナーリングとを有している。その弾性体のヤング率として、１×１０^{10}Ｎ／ｍ^2 ～１×１０^4 Ｎ／ｍ^2 の範囲、好ましくは、１×１０^5 Ｎ／ｍ^2 ～１×１０^7 Ｎ／ｍ^2 の範囲の値を選択する。その弾性体は、半導体ウェハの被研磨面にかかる応力を一様に分布させるために設けられている。

【０１１３】即ち、第１ステップの研磨は、図５に示した研磨布１０２として硬質のＩＣ－１０００を用いて行う。その研磨布１０２の上面には、K-grooveと呼ばれる複数の同心円の溝が形成されている。また、研磨布１０２の上に供給されるスラリーとしてＫＯＨを含む商品名ＳＳ－２５を純水で希釈したものを用いた。なお、純水は、体積で換算してＳＳ－２５の２．５倍で供給される。その研磨布１０２、スラリー、その他の研磨条件を表８に示す。

【０１１４】

【表８】

研磨装置	アプライドマテリアル社 MIRRA 3400
1st.CMP	
研磨布（パッド）	IC-1000-050-K-groove
研磨スラリー	SS25：純水=1：2.5
メンブレン圧力	5 psi
インナーチューブ圧力	5 psi
リテナーリング圧力	10 psi
研磨板回転数R3	103 rpm ┐
研磨保持具回転数R4	97 rpm ┘ 同方向
研磨レート	320 nm/min.

【０１１５】この第１ステップの研磨工程は、溝５２の中央におけるシリコン酸化膜５６の膜厚が５３０ｎｍ～５５０ｎｍの厚さになった時点で終了される。第１ステップの研磨が終了すると、図２７(b) に示すように、活性領域５３におけるシリコン酸化膜５６の突出部が薄く且つ丸くなる。その第１ステップの研磨工程に続いて第２ステップの研磨工程に移る。

【０１１６】第２ステップの研磨工程では、研磨布１０２を硬いＩＣ－１０００から柔らかいＩＣ－１４００に交換してシリコン酸化膜５６を研磨する。そのＩＣ－１４００の上面にはK-grooveが形成されている。第２ステップの研磨で使用されるスラリーは、第１ステップの研磨で使用したものと同じものとする。その研磨布１０２、スラリー、その他の研磨条件を表９に示す。

【０１１７】

【表９】

研磨装置	アプライドマテリアル社 MIRRA 3400
2nd.CMP	
研磨布（パッド）	IC1400-050-K-groove
研磨スラリー	SS25：純水=1：2.5
メンブレン圧力	3 psi
インナーチューブ圧力	3.5 psi
リテナーリング圧力	4.3 psi
研磨板回転数R3	103 rpm
研磨保持具回転数R4	100 rpm
研磨レート	230 nm/min.

【０１１８】第２ステップの研磨は、図２７(c) に示すように、シリコン窒化膜５５がシリコン基板５１の全面で露出した状態で終了する。上記した第１ステップの研磨工程によるシリコン酸化膜５６の研磨量は３００ｎｍ～３８０ｎｍであり、第２ステップの研磨工程によるシリコン酸化膜５６の研磨量は１００ｎｍ～２００ｎｍとなる。第１及び第２の研磨工程によれば、平坦面上のシリコン酸化膜の研磨量に換算すると、約５００ｎｍの厚さが研磨されたことになる。

【０１１９】シリコン酸化膜５６の研磨を終えた後に、溝５２の中央部でのシリコン酸化膜５６の最大ディッシング量と溝５２の広さ（底面積）との関係を測定したところ図２８の実線で示すような結果が得られた。なお、図２８の横軸は対数目盛で示され、その縦軸は比例目盛で示されている。図２８の実線によれば、溝５２の一辺の長さＬが長くなるにつれ、即ち、溝５２の底面積が増えるにつれて最大ディッシング量が増えることがわかる。

【０１２０】ところで、従来のように１ステップのみの研磨法によれば、１ｍｍ×１ｍｍの大きさの溝内のシリコン酸化膜の最大ディッシング量は３００ｎｍとなる。これに対して、本発明の２ステップ研磨法を用いると、１ｍｍ×１ｍｍの大きさの溝５２内でのシリコン酸化膜５６の最大ディッシング量は約８０ｎｍとなって、従来の最大ディッシング量の１／４になることがわかった。その従来の１ステップ研磨の条件を表１０に示す。

【０１２１】

【表１０】

研磨装置	アプライドマテリアル社 MIRRA 3400
従来 CMP	
研磨布（パッド）	IC1400-050-K-groove
研磨スラリー	SS25：純水=1：1
メンブレン圧力	4 psi
インナーチューブ圧力	4 psi
リテナーリング圧力	6 psi
研磨板回転数R3	83 rpm ┐
研磨保持具回転数R4	77 rpm ┘ 同方向
研磨レート	330 nm/min.

【０１２２】このように、本発明の２ステップ研磨法によれば、第１ステップの研磨工程により硬い研磨布１０２を使用して活性領域５３でのシリコン酸化膜５６の突出部を研磨によって選択的に減らすことを目的としている。従って、第１ステップの研磨工程は、シリコン基板５１の表面に本質的に存在する凹凸などのモホロジーの影響を受け難く、シリコン基板５１の全体に渡って均一にシリコン酸化膜５６を研磨仕上げすることができる。

【０１２３】半導体基板の表面に存在する凹凸は、２０ｍｍ四方の任意の領域において凹凸による段差が２００ｎｍ未満であり、または５ｍｍ四方の任意の領域において凹凸による段差が５０ｎｍ未満であることは、基板面の全体を均一に研磨するために最も好ましい。そのような凹凸が存在する場合には、半導体基板と支持基板の間に上記した弾性体を介在させることによって基板面の全体に渡って均一な研磨速度が得られることになる。

【０１２４】ところで、半導体基板の表面のモフォロジーの相違が、第１ステップの研磨（選択研磨ともいう。）工程終了後のシリコン酸化膜の表面にどのような影響を及ぼすかを実験した。半導体基板として、図２９に示すように主面に１１μｍの厚さのシリコン膜をエピタキシャル成長した８インチの円形のシリコンウェハW_1，W_2 を用いた。なお、図２９において、符号Ｎｃは、面方位を示すノッチを示している。

【０１２５】実験に際して用いる第１のシリコンウェハW_1 としては、図３０の左側に示すように、凹凸が緩やかに変化するものを用い、第２のシリコンウェハW_2 としては、図３０の右側に示すように凹凸が小刻みに変化するものを用いた。そして、それら第１及び第２のシリコンウェハW_1，W_2 の主面の上にプラズマＣＶＤ法によって１０００ｎｍの厚さのシリコン酸化膜S_0 を形成した後に、表８に示した条件でシリコン酸化膜S_0 を６０秒間研磨した。その研磨量は、平均で３５０ｎｍとなった。なお、研磨装置としては図５(c) に示したような基板支持具３２を有するアプライドマテリアル社のＭＩＲＲＡ３４００を使用した。

【０１２６】そして、第１のシリコンウェハW_1 上と第２のシリコンウェハW_2 上のそれぞれのシリコン酸化膜S_0 の膜厚を測定したところ、図３１、図３２のような膜厚分布が得られた。そのシリコン酸化膜S_0 の膜厚は、光学式膜厚測定法によって図２９の破線に沿って４９箇所で測定された。図３１のよれば、第１のシリコンウェハW_1 の上のシリコン酸化膜S_0 は、シリコンウェハW_1 の表面に沿って凹凸の変化が緩やかな膜厚分布となるように研磨された。したがって、シリコンウェハW_1 に複数個形成される半導体装置においては、研磨後に溝内に残るシリコン酸化膜S_0 の膜厚が均一になる。

【０１２７】しかし、図３２によれば、第２のシリコンウェハW_2 の上のシリコン酸化膜S_0 は、シリコンウェハW_2 の表面に沿って凹凸の変化が激しい膜厚分布となるように研磨された。したがって、シリコンウェハW_2 に複数個形成される半導体装置においては、研磨後に溝内に残るシリコン酸化膜S_0 の膜厚が不均一になる。したがって、半導体ウェハ上のシリコン酸化膜を選択研磨によって研磨する場合には、半導体ウェハの表面のモフォロジーが上記した条件となることが好ましいことになる。

【０１２８】さらに、本発明者は、図２６(b) で破線で示すように、複数の微小な活性領域（ダミー凸部）５７を溝５２内に形成した場合に、２ステップ研磨終了後の溝５２のシリコン酸化膜５６の最大ディッシング量と溝５２の底面積との関係を測定したところ、図２８の破線で示すような結果が得られた。図２８の破線によれば、溝５２内にダミー凸部５７を形成しない場合に比べて、ダミー凸部５７を形成した場合の方が最大ディッシング量が半分以下になることがわかった。例えば、７．５ｍｍ×７．５ｍｍの大きさの溝５２内に、１０μｍ×１０μｍの平面形状のダミー凸部５７を５０μｍピッチで複数個配置したところ、溝５２内のシリコン酸化膜５６の最大ディッシング量が６１．５ｎｍとなった。即ち、ダミー凸部５７を溝５２内に形成した場合には、それを溝５２内に形成しない場合に比べて、シリコン酸化膜５６の最大ディッシングが約１／２となった。

【０１２９】従って、２ステップによる研磨法においては、面積の広い溝内にダミー凸部を複数形成しておくことは、ディッシングを抑制する効果がさらに高くなることがわかる。なお、微小な活性領域（ダミー凸部）５７は、シリコン基板５１の一部であって、活性領域５３のシリコン基板５１の最上面と同じ高さを有している。

【０１３０】ところで、２ステップ研磨方法の終点の検出は方法としては、研磨対象がシリコン酸化膜からシリコン窒化膜に変わる時の研磨速度の差によって生じる研磨トルクの変化を利用する方法、もしくは、波長１００ｎｍ～１０００ｎｍの単一波長のレーザ光を被研磨面に照射して研磨対象がシリコン酸化膜からシリコン窒化膜に変わる時のレーザ光の反射光路の光路差に依存する反射強度の変化を利用する方法などがある。

（第２の実施の形態）半導体ウェハのうち、ＤＲＡＭセル、ＳＲＡＭセル等が形成される活性領域とウェハ分割用のスクライブライン領域の上の埋込絶縁膜を研磨するために、上記したような２ステップ研磨法を採用しても溝内の埋込酸化膜にディッシングが発生する可能性があることは既に述べた。

【０１３１】そこで、図３３に示した半導体ウェハ６０の複数箇所にそれぞれ図３４に示すＴＥＧパターン６１を形成して、溝の上での埋込酸化膜のディッシングの発生状況を調べた。ＴＥＧパターン６１内にある活性領域パターンのうち、単一の最大活性パターンは、例えば８００μｍ×６００μｍである。それらのＴＥＧパターン６１は、図３４に示したように、シリコンウェハ６０に

おいて、幅１００μmのスクライブライン６２に囲まれた領域に平面正方形の溝６３を形成する。その溝６３の一辺の長さL_1は、スクライブライン６２の中心から換算して２０mmとなっている。また、その溝６３の中には約５mm×２０mmの長方形の第１の活性パターン密集領域６４と、約５mm×１５mmの長方形の第２の活性パターン密集領域６５とが間隔をおいてＬ字状に形成されている。また、溝６３内において、約１５mm×１５mmの大きさの残りの領域６６には、ダミー凸部（微小活性領域）６７が複数個形成されている。そのダミー凸部６７は、スクライブライン６２と同じ高さを有している。

【０１３２】そのダミー凸部６７は、７μm×７μmの平面形状で且つ２５mmピッチで複数個配置されるか、又は、１０μm×１０μmの平面形状で且つ２５mmピッチで複数個配置されている。７μm×７μmのダミー凸部６７は面積に換算して溝６３内の残りの領域６６の８％を占めることになる。また、１０μm×１０μmの複数のダミー凸部６７は、面積に換算して溝６３内での残りの領域６６の１６％を占めることになる。

【０１３３】そして、複数のＴＥＧパターン６１の活性領域６４，６５及びスクライブ領域６２の上にそれぞれ初期酸化膜を介してシリコン窒化膜を形成し、各ＴＥＧパターンの全体にシリコン酸化膜を形成した後に、シリコン窒化膜が半導体ウェハ６０の全面に渡って露出するまでシリコン酸化膜を２ステップ研磨法により研磨した。

【０１３４】なお、溝６３の底面は、シリコンウェハ６０の活性領域６４，６５及びスクライブライン６２とダミー凸部６７のそれぞれの上面に対して３８０nmの深さを有している。シリコン酸化膜を２ステップ研磨法によって研磨したところ、８％のダミー凸部６７を有するＴＥＧパターン６１においては、溝６３の上で図３５のようなディッシングが発生して、溝６３の側面の頂から上方に突出したシリコン酸化膜の量が最小で１０nmとなった。また、１６％のダミー凸部６７を有するＴＥＧパターン６１においては、図３６のようなディッシングが発生して、溝６３の側面の頂から上方に突出したシリコン酸化膜の量が最小で３０nmとなった。

【０１３５】なお、図３５，図３６において、TOP 、LEFT、CENTOER 、RIGHT 、BOTTOMは、図３３のTOP 、LEFT、CENTOER 、RIGHT 、BOTTOMの領域に形成された各ＴＥＧパターン６１でのディッシング量を示している。ところで、第１及び第２の活性領域６４，６５にそれぞれＭＯＳトランジスタのゲート電極を形成する場合に、溝６３の上のシリコン酸化膜の好ましいディッシング量がどの位になるかを検討してみる。

【０１３６】まず、２ステップ研磨法によりシリコン酸化膜の研磨を終えた状態では、シリコン窒化膜上にシリコン酸化膜の研磨残が発生しているおそれがある。そこで、その研磨残を除去するために、溝６３内に充填されたシリコン酸化膜の膜厚が１０nm程度減少するまでシリコン窒化膜上にフッ酸を供給する必要がある。これに続いて、シリコン窒化膜を１７０℃のリン酸によって除去した後に、第１及び第２の活性領域６４，６５、スクライブライン６２及びダミー凸部６７の上にさらにフッ酸を供給して初期酸化膜を除去する。ついで、シリコンウェハ６０における第１及び第２の活性領域６４，６５、スクライブライン６２及びダミー凸部６７のそれぞれの表面を熱酸化して犠牲酸化膜を１０nmの厚さに形成すると、それらの表面を構成するシリコンウェハ６０が５nmだけ消費される。この結果、溝６３の深さは実質的に５nmだけ浅くなったに等しいことになる。さらに、その犠牲酸化膜をフッ酸によって除去するが、このとき溝６３内のシリコン酸化膜の厚さが１６．８nm減少するまでフッ酸が供給される。その後に、シリコンウェハ６１の露出面である第１及び第２の活性領域６４，６５、スクライブライン６６及びダミー凸部３７の各表面を熱酸化して１０nmの厚さのゲート酸化膜を形成する。このとき、シリコン基板の表面は５nmだけ消費されるので、溝６３の深さはさらに５nmだけ浅くなる。

【０１３７】以上のフッ酸処理や熱酸化処理を経てゲート酸化膜を形成した直後には、溝６３の上に存在するシリコン酸化膜は合計で２８．８nm厚さだけ減少することになすなる。従って、溝６３内のシリコン酸化膜が約３０nm以上に減少すれば、溝６３内のシリコン酸化膜には、第１及び第２の活性領域の表面よりも低いディッシング面が発生ことが防止される。

【０１３８】したがって、図３６に示したように、ダミー凸部６７の面積占有率は１６％以上にする必要があることがわかる。なお、ダミー凸部６７の面積占有率が高すぎても研磨処理に支障をきたすので、その面積占有率を４０％以下にすることが好ましい。そのようなダミー凸部６７の面積占有率の調整によってディッシング量の調整が可能である。しかし、溝６３内のシリコン酸化膜のディッシング量が溝６３のコーナー部とそこから離れた部分では差が生じている。そのようなディッシング量の分布の均一化を図り、さらに、ディッシング量を減らすために、本発明者等は、溝６３内を充填するためのシリコン酸化膜の上にさらにシリコン窒化膜からなる研磨用被覆膜を数十nmの厚さに形成する工程を採用した。

【０１３９】その研磨用被覆膜を使用して２ステップ研磨法によりシリコン酸化膜を研磨する工程を図３７(a)～(e) に基づいて説明する。まず、図３７(a) に示すように、シリコンウェハ６１のうち広い第１の活性領域６４ａに隣接して形成される広い第１の溝６３ａを形成するとともに、狭い第２の溝６３ｂを介して密集した複数の狭い第２の活性領域６４ｂを形成する。また、第１の溝６３ａの中には、孤立した第３の活性領域６８が形成されている。

【０１４０】第１及び第２の溝６３ａ、６３ｂの深さ

は、シリコンウェハ６１の最上面に対して３８０ｎｍとなっている。また、シリコンウェハ６１のうち第１及び第２の活性領域６４ａ、６３ｂ、第３の活性領域６８などの上には、膜厚１０ｎｍのSiO_2よりなる初期酸化膜７０を介して膜厚９９ｎｍのシリコン窒化膜よりなる研磨停止膜７１が形成されているので、研磨停止膜７１の上面と溝６３の底面の差は、４８９ｎｍとなる。

【０１４１】その後に、シリコンウェハ６１のうち、溝６３ａ，６３ｂ、活性領域６４ａ，６４ｂ等が形成された面側の全体に膜厚７００ｎｍのシリコン酸化膜６９を形成する。続いて、図３７(b) に示すように、プラズマＣＶＤ法により膜厚５０ｎｍのシリコン窒化膜（研磨用被覆膜）７２をシリコン酸化膜６９の上に形成する。

【０１４２】次に、表８と同じ条件の第１ステップの研磨工程によって研磨用被覆膜７２とシリコン酸化膜６９を研磨する。第１ステップの研磨工程の初期の段階では、図３８(c) に示すようにシリコン酸化膜６９が最も突出した第１の活性領域６４ａの上で研磨用被覆膜７２が研磨されてそこからシリコン酸化膜６９が露出する。そして、第１の溝６３ａの上のシリコン酸化膜６９の膜厚が５３０ｎｍ～５５０ｎｍの厚さとなった時点で第１ステップの研磨を終了すると、図３７(d) に示すように、第１の活性領域６４ａの上の凸形状のシリコン酸化膜６９が薄くなるとともにその凸形状の角が丸くなる。この場合、溝６３ａ、６３ｂの上や第２の活性領域６４ｂの上のシリコン酸化膜６９は研磨用被覆膜７２によって研磨レートが小さくなっている。

【０１４３】第１ステップの研磨工程を終了した時点では、シリコンウェハ６１全体でシリコン酸化膜６９が露出することになる。なお、研磨用被覆膜７２の膜厚は、シリコン酸化膜６９の膜厚や、活性領域６４，６５の大きさなどに合わせて適度に調整することにより、面積の広い活性領域６４，６５の上の凸状のシリコン酸化膜６９の研磨レートに対して、溝６３や狭い活性領域６８の上のシリコン酸化膜６９の研磨レートをより遅くして研磨による平坦化処理のマージンをより広げることができる。

【０１４４】続いて、表９と同じ条件の第２ステップの研磨工程によってシリコン酸化膜６９を研磨する。その第２ステップの研磨は、図３７(e) に示すようにシリコンウェハ６１全体で研磨停止膜７１が露出した時点で終了される。このようなシリコン窒化膜よりなる研磨用被覆膜７２を用いることによって、ＴＥＧパターン６１の溝６３におけるシリコン酸化膜６９のディッシング量の分布を調べたところ、図３８，図３９のような結果が得られた。なお、図３８，図３９に示したディッシング量は、図３４において「・」で示した箇所で測定された。

【０１４５】図３８は、ダミー凸部６７の占有面積率を８％とした場合の研磨分布を示している。図３８において、最大のディッシング量が存在する領域では、溝６３の上のシリコン酸化膜６９はシリコンウェハ６１の最上面から上方に約５５ｎｍの量で突出し、しかも、溝６３の上のシリコン酸化膜６９の膜厚分布は均一化している。

【０１４６】図３９は、ダミー凸部６７の占有面積率を１６％とした場合の研磨量分布を示している。図３９において、最大のディッシング量が存在する領域では、溝６３の上のシリコン酸化膜６９は、シリコンウェハ６１の最上面から上方に約６０ｎｍの量で突出し、しかも、溝６３の上のシリコン酸化膜６９の膜厚分布は均一化している。

【０１４７】したがって、２ステップの研磨を終えてから第１の活性領域６４にゲート電極を形成するまでの間に、溝６３の上のシリコン酸化膜６９の厚さが例えば３０ｎｍ程度減ったとしても、溝６３の上のシリコン酸化膜６９がシリコンウェハ６１の最上面よりも低くなることはない。

（第３の実施の形態）上記した第１実施形態では、シリコン基板に溝を形成し、活性領域にシリコン窒化膜を形成し、シリコン基板上に埋込用のシリコン酸化膜を形成した後に、２ステップ研磨法によりシリコン酸化膜を行うことにより、溝内に埋め込まれるシリコン酸化膜の平坦性を高めるようにしている。さらに、第４実施形態では、２ステップの研磨の前に、シリコン酸化膜６９の上にシリコン窒化膜７２を形成する工程を加えることにより、その平坦性はさらに向上させている。

【０１４８】本実施形態では、２ステップ研磨の前に、シリコンウェハの活性領域の上に突出するシリコン酸化膜をエッチングにより除去する工程をさらに加えている。例えば、図３７(a) に示すように、プラズマＣＶＤ法によりシリコン酸化膜６９を形成するまでは第２実施形態と同じである。次に、図４０(a) に示すように、シリコン酸化膜６９のうち最も突出量が大きな第１の活性領域６４ａの上の突出部分の一部をフォトリソグラフィー法によって除去してその膜厚を薄くする。続いて、シリコン酸化膜６９の上に、膜厚５０ｎｍのシリコン窒化膜（研磨用被覆膜）７２を形成する。

【０１４９】さらに、表８と同じ条件の第１ステップの研磨工程によって研磨用被覆膜７２とシリコン酸化膜６９を研磨して、第１の溝６３ａの上のシリコン酸化膜６９の膜厚が５３０ｎｍ～５５０ｎｍの厚さになった時点で第１ステップの研磨を終了すると、図４０(b) に示すように、第１の活性領域６４ａの上のシリコン酸化膜６９の突出部分は薄くなるとともに凸形状の角が丸くなる。この場合、第１の活性領域６４ａの上のシリコン酸化膜６９の研磨速度が第４実施形態の第１ステップの研磨に比べて速く、しかも、溝６３ａ，６３ｂや第３の活性領域６８の上に存在するシリコン酸化膜６９は研磨用被覆膜７２の存在によって研磨レートが小さくなっている。

【０１５０】なお、研磨用被覆膜７２の膜厚は、研磨停止膜７１の膜厚や、活性領域６４ａ，６４ｂの大きさやなどに合わせて適度に調整することにより、面積の広い活性領域６４の上の凸状のシリコン酸化膜６９の研磨レートに対して、溝６３ａ，６３ｂや狭い活性領域６８の上のシリコン酸化膜６９の研磨レートを遅くして研磨による平坦化処理のマージンをより広げることができる。

【０１５１】続いて、表９と同じ条件の第２ステップの研磨工程によってシリコン酸化膜６９を研磨する。その第２ステップの研磨は、図４０(c) に示すようにウェハ全体で研磨停止膜７１が露出した時点で終了される。このような研磨用被覆膜７２を用いることによって、図３４(b) に示したＴＥＧパターンの溝６３に埋め込まれたシリコン酸化膜のディッシング量の分布を調べたところ、図４１のような結果が得られた。

【０１５２】図４１は、ダミー凸部の占有面積率を０％とした場合の研磨分布量を示し、溝６３において最大のディッシング量が存在する領域では、溝６３の上のシリコン酸化膜は、シリコンウェハ６１の最上面から上方に約７０ｎｍの量で突出している。したがって、溝６３内にダミー凸部６７を形成しない場合には、面積の大きな活性領域６４の上に存在するシリコン酸化膜と研磨用被覆膜７２の一部を予めエッチングによって除去した後に、２ステップ研磨を行うことが好ましいことがわかる。

【０１５３】これにより、活性領域６４上の研磨停止膜７１の除去からゲート酸化膜を形成する前までの間の諸工程により溝６３上のシリコン酸化膜の膜厚が減少しても、溝６３の中のシリコン酸化膜はシリコンウェハ６１の最上面よりも低くなることが防止される。

（第４の実施の形態）第１の実施の形態で説明した研磨は、シャロートレンチアイソレーションの形成工程以外にも適用することが可能である。本実施形態では、多層配線構造を形成する際に使用する層間絶縁膜の研磨について説明する。

【０１５４】図４２は、本発明の第４の実施の形態の研磨工程を示す断面図である。図４２(a) において、下地絶縁膜４１の上には密度が異なる下側配線４２が形成され、配線膜厚である４００nmが段差として下地絶縁膜４１上に現れている。さらに、下地絶縁膜４１及び下側配線４２の上にはSiO_2、ＰＳＧ、ＢＰＳＧ等の層間絶縁膜４３が８００nmの厚さに形成されている。

【０１５５】その層間絶縁膜４３の上面は、下側配線４２の密度の影響を受けて凹凸が生じている。その凹凸が存在した状態で、層間絶縁膜４３の上に上側配線を形成ればその凹凸による段差によって上側配線に断線が生じる可能性が高くなる。したがって、層間絶縁膜４３を研磨によって平坦化する必要が生じてくる。その層間絶縁膜４３の研磨方法としては、第１実施形態の第３例に示した第１ステップの研磨と同じ条件を用いることが好ましい。即ち、研磨布１０２として硬いＩＣ－１０００を用いるとともに、スラリーとしてＫＯＨ又はNH_4OHの分散剤又は研磨促進剤を含む材料を使用する。スラリーには、砥粒としてシリカ又は酸化セリウムを含む。

【０１５６】そして、表７に示すと同じ研磨条件により、層間絶縁膜４３の残り膜厚が２００nmとなるように層間絶縁膜４３を研磨する。この場合、層間絶縁膜４３の凸部の研磨速度が速くなって、図４２(b) に示すように、下側配線４２が露出しない状態で層間絶縁膜４３の上面が平坦になる。その後に、層間絶縁膜４３の上にさらに上側の配線（不図示）を形成する。

【０１５７】このように、層間絶縁膜４３を研磨する場合には、ＫＯＨ、NH_4OHを含むスラリーを用いると、その上面の凹凸差が極めて小さな平坦面が形成されることになる。本実施例では、配線段差の平坦化を例に挙げたが、ＤＲＡＭなどのスタックトキャパシタが絶縁膜から突出してスタックトキャパシタと絶縁膜の段差が１μｍと大きい場合には、硬い研磨布を使用し、ＫＯＨ又はNH_3OHを含むスラリーを用いる条件によってスタックトキャパシタを覆う層間絶縁膜を研磨してその表面を平坦化することは極めて有効である。

（第５の実施の形態）第１の実施の形態で説明した研磨は、シャロートレンチアイソレーション（ＳＴＩ）の形成工程以外にも適用することが可能である。本実施形態では、フォトリソグラフィーの際に使用される位置合わせマーク（以下、アライメントマークという。）の形成のために、第１実施形態で説明した第１及び第２ステップの研磨工程を採用するものである。

【０１５８】アライメントマークの上には、その上に光を透過しない膜、例えばＧＡＴＥ配線材料膜が形成されることがある。そこで、アライメントマークの構造として、凹凸（段差）のある構造が採用され、例えば、選択酸化法によってシリコン基板に形成したＬＯＣＯＳを利用することがある。しかし、選択酸化法によって形成されたアライメントマークは、その側部にバーズビークが形成されるので、アライメントマークとしては好ましいものではない。

【０１５９】そこで、側縁部の凹凸が急峻であり、しかも、ウェハの面でほぼ均一な高さが得られるアライメントマークの形成が求められる。次に、そのような要求に対応できるアライメントマークの形成工程を以下に説明する。まず、図４３(a) に示すようにシリコン基板２１の上に膜厚１０nmのSiO_2膜２５と膜厚１００～２５０nmのSi_3N_4膜２６を形成した後に、これらのSiO_2膜２５とSi_3N_4膜２６をフォトリソグラフィー法によってパターニングしてアライメントマーク形成位置に開口部２６ａを形成する。

【０１６０】ついで、図４３(b) に示すように、開口部２６ａを通してシリコン基板２１をエッチングし、これによりに深さが０．２～０．５μｍ程度のアライメント

用溝４５を形成する。このアライメント用溝４５は、第１実施形態で示したＳＴＩを構成する第１～第４の溝２３ａ～２３ｄと同時に形成してもよい。次に、図４３(c)に示すように、ＨＤＰ－ＣＶＤ法によってアライメント用溝４５の中とシリコン基板２１の上面にシリコン酸化膜２７を形成する。そのシリコン酸化膜２７の形成条件は、第１実施形態と同様である。

【０１６１】続いて、シリコン酸化膜２７の第１ステップの研磨と第２ステップの研磨を行なう。それらの研磨条件は、例えば第１実施形態で示した第１例の表２、表３、又は、第２例の表４、表５、又は、第３例の表６、表７に示すようになる。第１ステップの研磨では、硬質の材料からなる研磨布、例えばＩＣ－１０００を使用する。

【０１６２】この第１ステプの研磨の際に表２又は表４に示す条件を採用すると、研磨の後のシリコン酸化膜２７の断面は図４３(d)のようになって凸部の縁が丸くなるとともにその体積が減ることになる。これに対して、表６に示す研磨条件を採用すると、シリコン酸化膜２７の断面は図４４のようになって平坦性がさらに改善される。

【０１６３】次に、第２ステップの研磨工程に移る。その研磨は、図４３(e)に示すように、ＩＣ－１０００よりも軟質の研磨布を用いてシリコン酸化膜２７の上面を研磨し、これにより、Si_3N_4 膜２６の上のシリコン酸化膜２７を除去する。この場合、アライメント用溝４５の中と開口部２６ａの中にシリコン酸化膜２７が残る程度であれば、過剰に研磨してもよい。

【０１６４】次に、図４３(f)に示すように、Si_3N_4 膜２６を燐酸によって除去し、ついでSiO_2膜２６をフッ酸によって除去すると、アライメント用溝４５からはシリコン酸化膜２７が凸部となって現れる。なお、その凸部は、フッ酸処理の際にわずかにエッチングされるが、その凸部の元々の突出量は１００～２５０nm程度であるので、消滅することはない。

【０１６５】そして、アライメント用溝４５から突出したシリコン酸化膜２７の凸部を、アライメントマーク４６として使用する。以上の工程で形成されたアライメントマーク４６は、最初に硬質の研磨布を用いる第１ステップの研磨と、それよりも柔らかい研磨布を用いる第２ステップの研磨布によって形成されており、それら２ステップの研磨によれば、ウェハ上での研磨は平坦性が増すので、ウェハに形成される複数のアライメントマーク４６の凸部の突出量はほぼ均一となる。したがって、そのようなアライメントマーク４６を用いると、露光の際の位置合わせ精度は向上し、パターン認識の安定性を向上させる。

【０１６６】ウェハ上に複数のアライメントマークを上記した方法で形成したところ、それらのアライメントマークのウェハからの突出量は実質的に均一になった。そのような半導体ウェハをステッパー（不図示）のＸＹステージ上に載置してアライメントマークを検出させて自動的に位置補正を行なわせた。その補正量の測定は、露光装置において繰り返して複数回測定される。その補正量の測定の一例を次に説明する。

【０１６７】用意した試料は、図４５に示すように、ロジック用半導体素子を形成するためにシリコンウェハに円周に沿って複数個のアライメントマーク４６が形成されている。そして、補正量の測定を複数回行なったところ、図３０(a),(b)に示す結果が得られた。図４６(a),(b)の横軸は補正測定回数を示し、縦軸はＸ方向又はＹ方向の測定方向を示している。その測定結果によれば、上記した方法で形成したアライメントマーク４６の補正量は実質的に一定であり、その補正量で露光位置を修正することになる。その補正量のバラツキが大きい場合には露光が行なわれない。

【０１６８】なお、図4.6(a),(b)の縦軸の単位は、１ｐｐｍがウェハ半径方向の０．１μｍに相当する。ステッパによる補正量の測定では、アライメントマーク４６の測定位置データと基準データとのズレを比較してそのズレを認識し、ウェハスケーリング、ウェハ回転数等を算出して露光データに補正をかける。ウェハの回転量は再現できないのでステッパのアライメント再現性はスケーリングで確認される。

【０１６９】図４３(f)では、溝４５から基板面に突出した凸部をアライメントマーク４６として使用している。そのような構造のアライメントマーク４６は、図４２(a),(b)の左側に示すように主に活性領域で採用される。これに対してフィールド領域では、図４７(a),(b)の右側に示すように、シリコン酸化膜２７よりなる凸部２８で囲まれた領域（凹部）をアライメントマーク４７として適用することが多い。

【０１７０】半導体ウェハW上に図４７(a),(b)に示す２種類のアライメントマーク４６、４７を形成し、それらの平坦性を測定した。測定箇所は、図４８に示すように、半導体ウェハWのうちの円周に沿った４つの領域TOP,RIGHT,BOTTOM,LEFT と円の中心の領域CENTERの計５か所であり、それぞれの測定領域で活性領域のアライメントマーク４６とフィールド領域のアライメントマーク４７とその周辺の段差を測定した。

【０１７１】それら５か所のアライメントマーク４６，４７を測定したところ、図４９、５０に示すような段差の結果が得られ、複数の凸状のアライメントマーク４６の高さの誤差は１００Å以内の範囲内にあり、また、複数の凹状のアライメントマーク４７の深さの誤差は１００Å以内の範囲であった。以上のことから、上記した工程によれば、ウェハの面内で実質的に均一な形状で均一な高さ又は深さのアライメントが形成されていることが確認された。

（付　記）

（１）半導体基板の主面の上に絶縁膜を形成する工程と、第１の硬さを有する第１の研磨布を用いて前記絶縁膜の一部を研磨する工程と、前記第１の研磨布による前記絶縁膜の研磨の後に、前記第１の硬さよりも軟い第２の硬さを有する第２の研磨布を用いて、前記絶縁膜を研磨する磨工程とを有することを特徴とする半導体装置の製造方法。

【０１７２】（２）前記絶縁膜を形成する前に、前記半導体基板の上の第１の領域に研磨ストップ膜を形成する工程と、前記研磨ストップ膜に覆われない第２の領域に溝を形成する工程を有し、前記第２の研磨布による前記絶縁膜の研磨は、前記研磨ストップ膜が露出するまで続けられることを特徴とする（１）記載の半導体装置の製造方法。

【０１７３】（３）前記絶縁膜はシリコン酸化膜であることを特徴とする（１）記載の半導体装置の製造方法。

（４）前記第１の研磨布により前記絶縁膜を研磨する際には、第１のスラリーが前記絶縁膜の上に供給され、前記第２の研磨布により前記絶縁膜を研磨する際には、第２のスラリーが前記絶縁膜の上に供給されることを特徴とする（１）に記載の半導体装置の製造方法。

【０１７４】（５）前記第１のスラリーと前記第２のスラリーは、含有物質が同じであること特徴とする（１）に記載の半導体装置の製造方法。

（６）前記第１のスラリーは、アミン系の分散剤中にシリカ系物質又は酸化セリウムよりなる砥粒を含むことを特徴とする（１）又は（３）に記載の半導体装置の製造方法。

【０１７５】（７）前記第１のスラリーは、ＯＨ基を有する分散剤中にシリカ系物質又は酸化セリウムよりなる砥粒を含むことを特徴とする（１）又は（３）に記載の半導体装置の製造方法。

（８）前記ＯＨ基を有する分散剤は、ＫＯＨ又はNH_4OHであることを特徴とする（７）に記載の半導体装置の製造方法。

【０１７６】（９）前記第１の研磨布は、圧縮加重に対する圧縮歪み量の比が０．０６$\mu m \cdot cm^2$／ｇ以下であることを特徴とする（１）又は（３）に記載の半導体装置の製造方法。

（１０）前記溝を除いた前記半導体基板の上面の面積は、前記半導体基板の該上面全体の面積の７０％以下の範囲にあることを特徴とする（２）に記載の半導体装置の製造方法。

【０１７７】（１１）前記絶縁膜は、誘導結合型プラズマ法又は電子サイクロトロン共鳴法によって形成されることを特徴とする（１）又は（３）に記載の半導体装置の製造方法。

（１２）前記絶縁膜は、プラズマ化学気相成長法による成膜とスパッタエッチングとを繰り返すことにより成膜されたことを特徴とする（１）又は（３）に記載の半導体装置の製造方法。

【０１７８】（１３）前記第２の研磨布による前記絶縁膜の研磨の後に、前記研磨ストップ膜を除去することによって、前記溝内に充填された前記絶縁膜を前記半導体基板の上面から突出させて凸部を形成する工程とを有することを特徴とする（１）に記載の半導体装置の製造方法。

（１４）前記凸部は、露光位置合わせマークとして使用されることを特徴とする（１３）に記載の半導体装置の製造方法。

【０１７９】（１５）前記絶縁膜を形成する前には、前記半導体基板の上に下地絶縁膜を介して配線を形成する工程をさらに有することを特徴とする（１）に記載の半導体装置の製造方法。

（１６）前記絶縁膜はプラズマＣＶＤ法により形成されたシリコン酸化膜であって、前記研磨ストップ膜はＣＶＤ法により形成されたシリコン窒化膜であることを特徴とする（２）に記載の半導体装置の製造方法。

【０１８０】（１７）前記研磨ストップ膜と前記半導体基板の間に初期酸化膜を形成する工程をさらに有することを特徴とする（２）に記載の半導体装置の製造方法。

（１８）前記半導体基板はシリコン基板であり、前記絶縁膜はＣＶＤ法により形成されたシリコン酸化膜であり、前記研磨ストップ膜はＣＶＤ法により形成されたシリコン窒化膜であり、前記初期酸化膜は前記半導体基板の表面に形成されたシリコン酸化膜であり、前記第２の研磨布により前記絶縁膜を研磨した後の状態では、前記溝に埋め込まれた前記絶縁膜の膜厚の値は、前記溝の底から前記研磨ストップ膜の最上面までの高さの値の１倍～２倍の範囲に存在することを特徴とする（１７）に記載の半導体装置の製造方法。

【０１８１】（１９）前記絶縁膜よりも研磨速度の遅い研磨用被覆膜を前記絶縁膜の上に形成する工程をさらに有することを特徴とする（２）に記載の半導体装置の製造方法。

（２０）前記絶縁膜はシリコン酸化膜であり、前記研磨用被覆膜はシリコン窒化膜であることを特徴とする（１９）に記載の半導体装置の製造方法。

【０１８２】（２１）前記シリコン窒化膜は３０ｎｍ～１５０ｎｍの膜厚に形成されることを特徴とする（２０）に記載の半導体装置の製造方法。

（２２）前記半導体基板はシリコン基板であり、前記絶縁膜はＣＶＤ法により形成されたシリコン酸化膜であり、前記研磨ストップ膜はＣＶＤ法により形成されたシリコン窒化膜であり、前記第２の研磨布により前記絶縁膜を研磨した後の状態では、前記溝に埋め込まれた前記絶縁膜の膜厚は、前記溝の底から前記研磨ストップ膜の最上面までの高さの１．１倍～１．５倍の範囲に存在し、前記研磨用被覆膜は３０ｎｍ～１５０ｎｍの膜厚を有することを特徴とする（１９）に記載の半導体装置の

製造方法。

【０１８３】（２３）前記溝の中には、前記半導体基板の一部を突出させてなる微小凸部を有することを特徴とする（２）記載の半導体装置の製造方法。

（２４）前記第１の研磨布による前記絶縁膜の前には、前記第１の領域の上に存在する前記絶縁膜の一部をエッチングによって除去する工程をさらに有することを特徴とする（２）に記載の半導体装置の製造方法。

【０１８４】（２５）前記絶縁膜のエッチングの前又は後には、前記絶縁膜よりも研磨速度の遅い材料よりなる研磨用被覆膜を前記絶縁膜の上に形成することを特徴とする（２４）に記載の半導体装置の製造方法。

（２６）前記第２の研磨布を使用して前記絶縁膜を研磨する工程においては、前記絶縁膜の研磨から前記研磨ストップ膜の研磨に変わる際の前記第２の研磨布による研磨トルクの変化を検出する方法によって研磨終了点を検出することを特徴とする（２）に記載の半導体装置の製造方法。

【０１８５】（２７）前記第２の研磨布を使用して前記絶縁膜を研磨する工程においては、前記絶縁膜に向けて波長１００ｎｍ～１０００ｎｍの単一波長のレーザ光を照射して、前記絶縁膜の研磨から前記研磨ストップ膜の研磨に変わる際の前記レーザ光の反射強度の変化点を検出する方法によって研磨終了点を検出することを特徴とする（２）に記載の半導体装置の製造方法。

【０１８６】（２８）前記半導体基板は、1×10^{4} Ｎ／m^2 ～1×10^{10}Ｎ／m^2 のヤング率を有する弾性体が下部に形成された研磨ヘッドの下に取り付けられることを特徴とする（１）に記載の半導体装置の製造方法。

（２９）前記半導体基板の前記主面の凹凸の段差は、２０ｍｍ四方の任意の領域において２００ｎｍ未満であり、かつ、５ｍｍ四方の任意の領域において５０ｎｍ未満であることを特徴とする（１）に記載の半導体装置の製造方法。

【０１８７】（３０）表面に凸部のある絶縁膜を半導体基板の上に形成する工程と、前記絶縁膜の前記表面を研磨することによって、前記絶縁膜の前記凸部の突出量を減らして前記絶縁膜を平坦化する工程とを有することを特徴とする半導体装置の製造方法。

【０１８８】

【発明の効果】以上述べたように本発明によれば、基板の溝の酸化絶縁膜を充填する場合に、研磨布に非常に硬い研磨布を用い、スラリーとして研磨対象物の研磨レートが小さくなるような研磨剤を用いる第１ステップの研磨工程を有しているので、機械的に弱い微細な素子領域に突出している酸化絶縁膜が主に機械的に研磨されてその体積を減らすことができ、第２ステップの研磨の際の平坦化処理を容易にできる。

【０１８９】第２の研磨工程の研磨では、被研磨基板の研磨布への押圧力を小さくし、かつ研磨布を高速回転させることにより、被研磨面による研磨布の表面追随性を低下させて研磨し、これにより、被研磨基板の平坦性が得られる。また、本発明によれば、ＯＨ基を有する分散剤中にシリカ系物質又は酸化セリウムよりなる砥粒を含むスラリーを使用するとともに、圧縮加重に対する圧縮歪み量の比が０．０６μｍ・cm^2 ／ｇ以下である硬さの研磨布を用いて酸化絶縁膜を研磨すると、酸化絶縁膜の凸部での研磨を促進して平坦性を向上することができる。

【図面の簡単な説明】

【図１】図１(a) ～図１(c) は、従来のシャロートレンチアイソレーションの形成工程を示す断面図（その１）である。

【図２】図２(a) 、図２(b) は、従来のシャロートレンチアイソレーションの形成工程を示す断面図（その２）である。

【図３】図３(a) 、図３(b) は、従来のシャロートレンチアイソレーションの形成工程を示す断面図（その３）である。

【図４】図４は、図１～図３の工程に従ってＳＴＩの形成を行なうプロセスにおいて絶縁膜表面の凹凸のエッチング量のバラツキ量をウェハ面内で見た図である。

【図５】図５(a) は、本発明の実施の形態に使用する研磨装置の一例を示す側面図、図５(b) はその上面図、図５(c) は研磨保持具の他の例を示す側面図である。

【図６】図６は、本発明の実施の形態の半導体装置の製造工程に用いる研磨布（ＩＣ－１０００）の圧縮加重と圧縮歪み量との関係を調査したグラフである。

【図７】図７は、本発明の実施の形態の半導体装置の製造工程用いる研磨布（Ｓｕｂａ４００）の圧縮加重と圧縮歪み量との関係を調査したグラフである。

【図８】図８は、本発明の第１の実施の形態に係るシャロートレンチアイソレーションの作成方法について示すフローチャートである。

【図９】図９(a)～(c) は、本発明の第１の実施の形態に係るシャロートレンチアイソレーションの製造工程を示す断面図（その１）である。

【図１０】図１０(a), (b) は、本発明の第１の実施の形態に係るシャロートレンチアイソレーションの製造工程を示す断面図（その２）である。

【図１１】図１１は、本発明の第１の実施の形態に係るシャロートレンチアイソレーションの形成工程における第１ステップの研磨後の状態を示す断面図である。

【図１２】図１２(a), (b) は、本発明の第１の実施の形態に係るシャロートレンチアイソレーション形成に用いるシリコン酸化膜の研磨前の状態を段差測定器で測定図（その１）である。

【図１３】図１３(a), (b) は、本発明の第１の実施の形態に係るシャロートレンチアイソレーション形成に用いるシリコン酸化膜の研磨前の状態を段差測定器で測定図

（その２）である。

【図１４】図１４は、本発明の第１の実施の形態に係るシャロートレンチアイソレーション形成に用いるシリコン酸化膜の第１ステップの研磨の後のシリコン酸化膜の表面の段差状態を示す図（その１）である。

【図１５】図１５は、本発明の第１の実施の形態に係るシャロートレンチアイソレーション形成に用いるシリコン酸化膜の第１ステップの研磨の後のシリコン酸化膜の表面の段差状態を示す図（その２）である。

【図１６】図１６(a) は、本発明の第１の実施の形態に係るシャロートレンチアイソレーションの形成に用いるシリコン酸化膜の第１ステップの研磨の後の所定の場所の膜厚分布を示す図であり、図１６(b) は、本発明の第１の実施の形態に係るシャロートレンチアイソレーション形成に用いるシリコン酸化膜の第２ステップの研磨の後の所定の場所の膜厚分布を示す図である。

【図１７】図１７は、本発明の第１の実施の形態に係るシャロートレンチアイソレーション形成の際の第１ステップの研磨におけるスラリーを変えた場合の研磨後のシリコン酸化膜の段差を示す図（その１）である。

【図１８】図１８は、本発明の第１の実施の形態に係るシャロートレンチアイソレーション形成の際の第１ステップの研磨におけるスラリーを変えた場合の研磨後のシリコン酸化膜の段差を示す図（その２）である。

【図１９】図１９(a) は、本発明の第１の実施の形態における第１ステップの研磨の際に使用するスラリーにＫＯＨを含ませたものを使用した場合の研磨後のシリコン酸化膜の膜厚分布を示す図であり、図１９(b) は、第１ステップの研磨終了のシリコン酸化膜についてさらに第２ステップの研磨を行なった後の膜厚分布を示す図である。

【図２０】図２０(a), (b) は、本発明の第１の実施の形態における第１ステップの研磨に使用するスラリーに第１の分散剤を含ませた場合の１ステップの研磨後のシリコン酸化膜の段差を示す図（その１）である。

【図２１】図２１(a), (b) は、本発明の第１の実施の形態における第１ステップの研磨に使用するスラリーに第１の分散剤を含ませた場合の１ステップの研磨後のシリコン酸化膜の段差を示す図（その２）である。

【図２２】図２２(a), (b) は、本発明の第１の実施の形態における第１ステップの研磨に使用するスラリーに第２の分散剤を含ませた場合の１ステップの研磨後のシリコン酸化膜の段差を示す図（その１）である。

【図２３】図２３(a), (b) は、本発明の第１の実施の形態における第１ステップの研磨に使用するスラリーに第２の分散剤を含ませた場合の１ステップの研磨後のシリコン酸化膜の段差を示す図（その２）である。

【図２４】図２４は、本発明の第１の実施の形態における第１ステップの研磨に使用する分散剤・純水の混合比と研磨レートとの関係を示す図である。

【図２５】図２５は、本発明の第１の実施の形態における第１ステップの研磨に使用する分散剤・純水の混合比とSiO_2・Si_3N_4 研磨選択比との関係を示す図である。

【図２６】図２６(a) は、本発明の第１実施形態の２ステップ研磨がなされた埋込絶縁膜のディッシング量を調べるための試料の断面図、図２６(b) は、その試料の平面図である。

【図２７】図２７(a) ～(c) は、図２６(a) に示した試料の溝への絶縁膜の埋込工程を示す断面図である。

【図２８】図２８は、図２７(a) ～(c) の工程によって溝に埋め込まれた絶縁膜に発生するディッシング量とその溝の面積との関係を示す図である。

【図２９】図２９は、本発明の第１実施形態において用いられる半導体ウェハの平面図である。

【図３０】図３０は、図２９に示した半導体ウェハの上に形成されたシリコン酸化膜の表面の初期の状態と、その表面の選択研磨後の状態を示す断面図である。

【図３１】図３１は、半導体ウェハの表面の凹凸が緩やかに変化するシリコン酸化膜の選択研磨後の膜厚分布を示す図である。

【図３２】図３２は、半導体ウェハの表面の凹凸が小刻みに変化するシリコン酸化膜の選択研磨後の膜厚分布を示す図である。

【図３３】図３３は、ＴＥＧパターンが形成される半導体ウェハの平面図である。

【図３４】図３４は、半導体ウェハに形成されるＴＥＧパターンの平面図である。

【図３５】図３５は、第１実施形態の２ステップ研磨法によって溝の上で研磨されたシリコン酸化膜の第１の膜厚分布を示す図である。

【図３６】図３６は、第１実施形態の２ステップ研磨法によって溝の上で研磨されたシリコン酸化膜の第２の膜厚分布を示す図である。

【図３７】図３７(a) ～(e) は、本発明の第２実施形態の研磨工程を示す断面図である。

【図３８】図３８は、本発明の第２実施形態によって研磨された溝の上のシリコン酸化膜の第１の膜厚分布を示す図である。

【図３９】図３９は、本発明の第２実施形態によって研磨された溝の上のシリコン酸化膜の第２の膜厚分布を示す図である。

【図４０】図４０(a) ～(c) は、本発明の第３実施形態の研磨工程を示す断面図である。

【図４１】図４１は、本発明の第３実施形態によって研磨された溝の上のシリコン酸化膜の膜厚分布を示す図である。

【図４２】図４２(a), (b) は、本発明の第４の実施の形態の半導体装置の製造工程における絶縁膜の研磨を示す断面図である。

【図４３】図４３(a) ～(f) は、本発明の第５の実施の

41

形態の半導体装置の製造工程におけるアライメントマークの製造工程を示す断面図である。

【図４４】図４４は、本発明の第５の実施の形態の半導体装置の製造工程におけるアライメントマークの製造工程における第１ステップの研磨条件を変えたシリコン酸化膜の違いを示す断面図である。

【図４５】図４５は、本発明の第５の実施の形態により形成したアライメントマークの配置の一例を示す平面図である。

【図４６】図４６(a),(b)は、本発明の第５の実施の形態により形成したアライメントマークのステッパによる補正量の測定結果を示す図である。

【図４７】図４７(a),(b)は、本発明の第５の実施の形態により形成したアライメントマークの形成領域を示す平面図とその断面図である。

【図４８】図４８は、本発明の第５の実施の形態により形成した複数のアライメントマークの段差測定箇所を示す平面図である。

【図４９】図４９(a)～(c)は、図４８で示した測定箇所のうちのTOP、RIGHT、BOTTOMの領域のアライメントマークの段差の測定結果を示す段差図である。

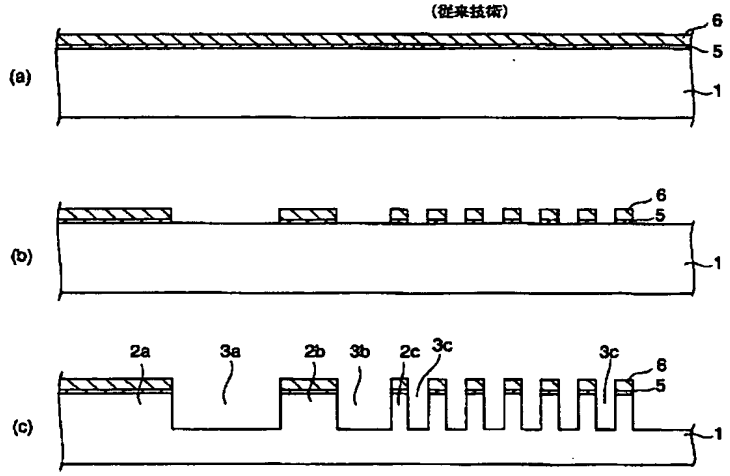
【図５０】図５０(a),(b)は、図４８で示した測定箇所のうちのLEFT、CENTERの領域のアライメントマークの段差の測定結果を示す段差図である。

【符号の説明】

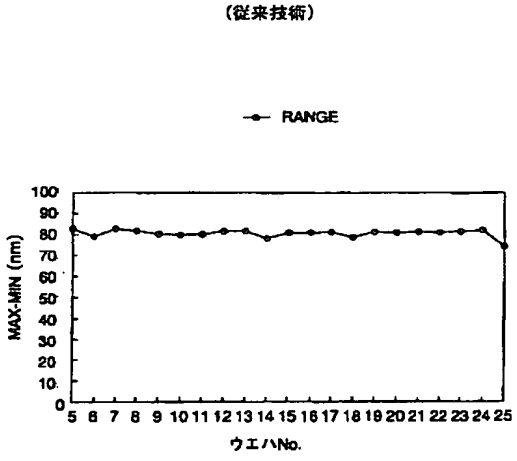
42

２１　シリコン基板（半導体基板）、
２２ａ　広い幅の素子領域、
２２ｂ　中程度の幅の素子領域、
２２ｃ　狭い幅の素子領域、
２３ａ，２３ｄ　広い幅の溝（凹部）、
２３ｂ　中程度の幅の溝（凹部）、
２３ｃ　狭い幅の溝（凹部）、
２４，２５　シリコン酸化膜、
２６　シリコン窒化膜（窒素を主成分とする下地絶縁膜）、
２７　シリコン酸化膜（酸素を主成分とする埋込絶縁膜）、
３１　研磨板、
３２　基板保持具、
３３　被研磨基板、
４１　シリコン基板、
４２　配線、
４３　層間絶縁膜、
４５　アライメント用溝、
４６　凸部（アライメントマーク）、
１０１　基台、
１０２　研磨布、
１０３，１０６　支持軸、
１０４　保持台、
１０５　リテイナーリング。

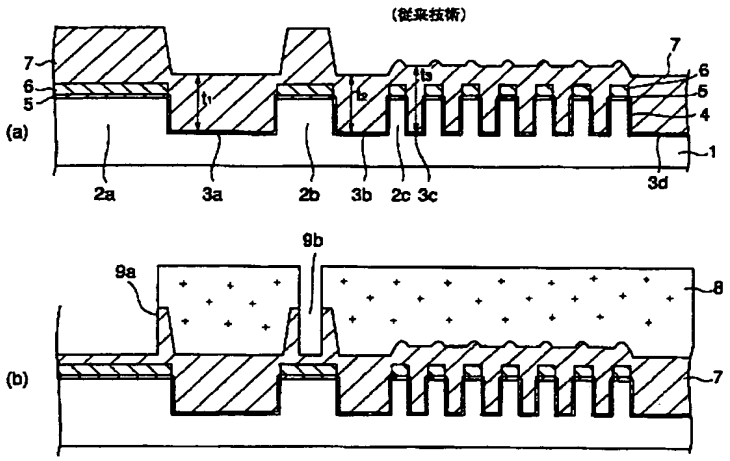
【図１】



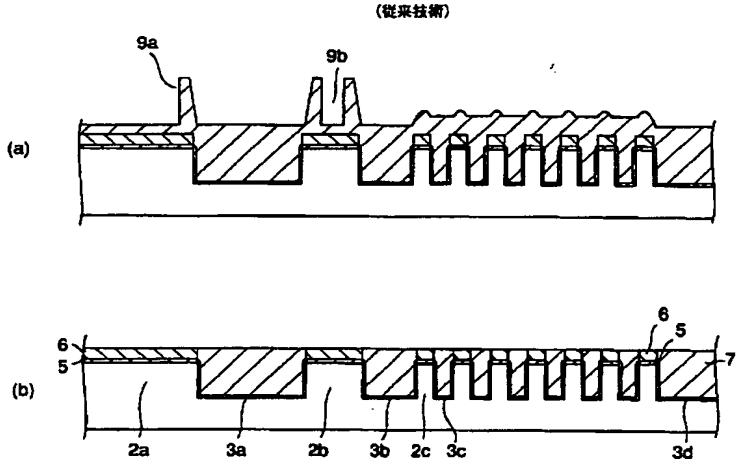
【図４】



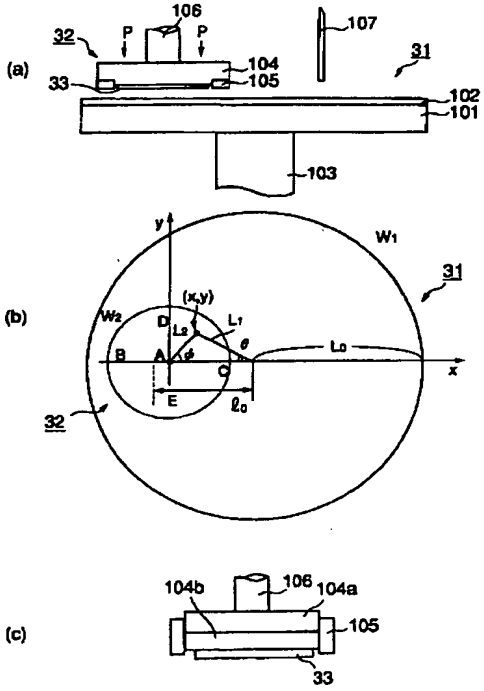
【図２】


(従来技術)
(a)
(b)
2a
3a
2b
3b
2c
3c
3d
9a
9b

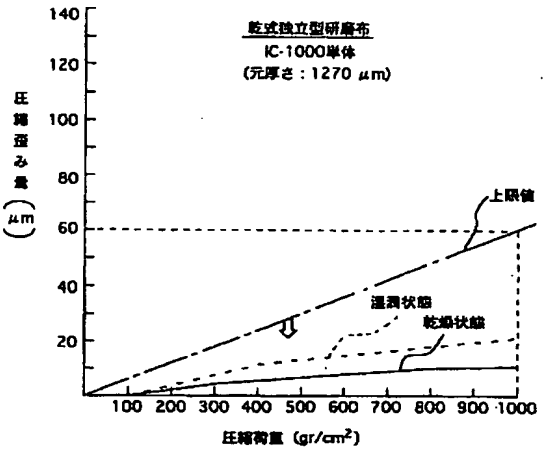
【図３】


(従来技術)
(a)
(b)
9a
9b
2a
3a
2b
3b
2c
3c
3d

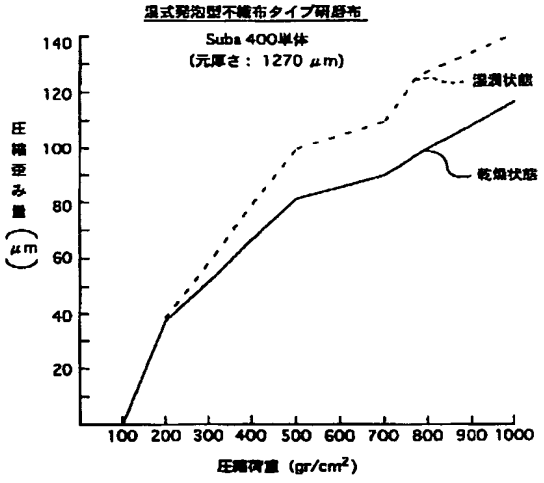
【図５】


(a)
(b)
(c)
106
107
31
32
33
104
105
102
101
103
W1
W2
(x,y)
L1
L2
L0
A
B
C
D
E
104b
104a

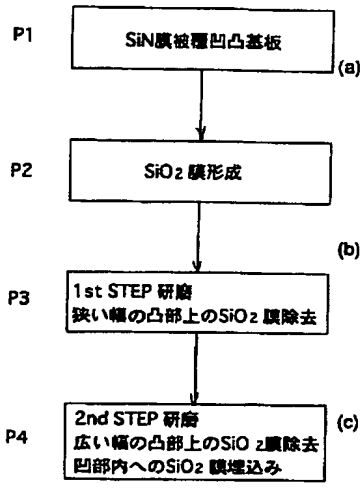
【図６】


乾式独立型研磨布
IC-1000単体
(元厚さ：1270 μm)
圧縮歪み量 (μm)
圧縮荷重 (gr/cm²)
上限値
湿潤状態
乾燥状態

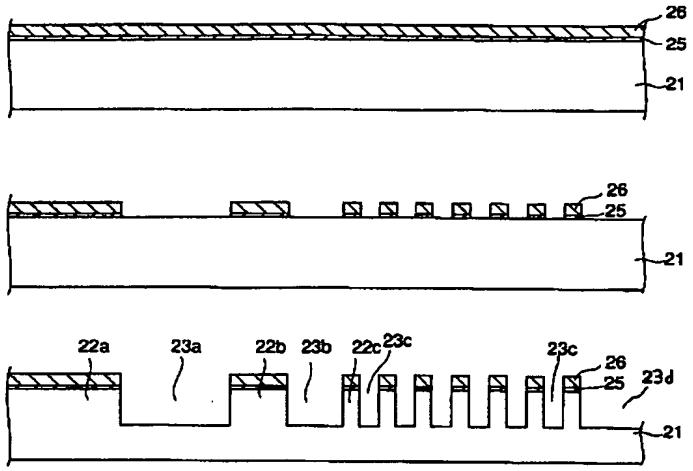
【図７】


湿式発泡型不織布タイプ研磨布
Suba 400単体
(元厚さ：1270 μm)
圧縮歪み量 (μm)
圧縮荷重 (gr/cm²)
湿潤状態
乾燥状態

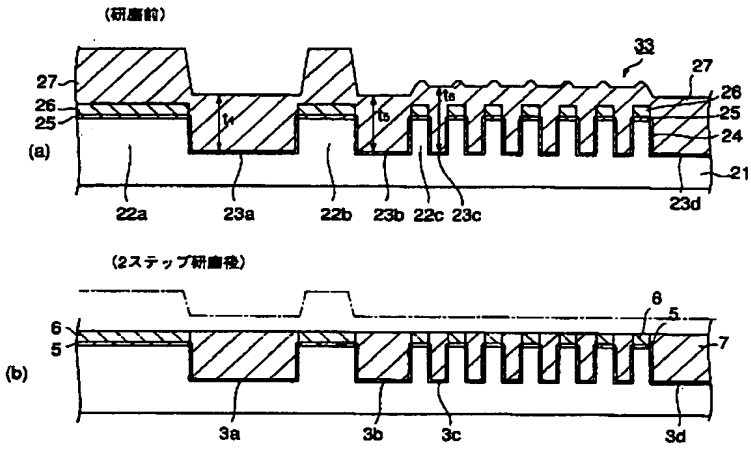
【図８】



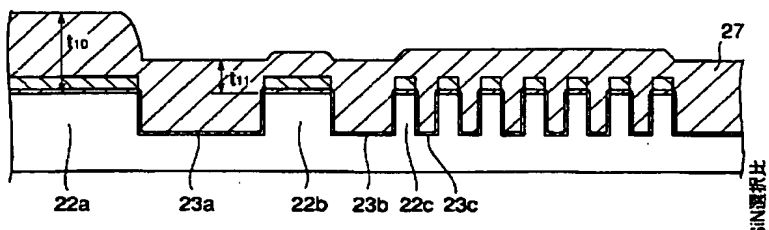
【図９】



【図１０】



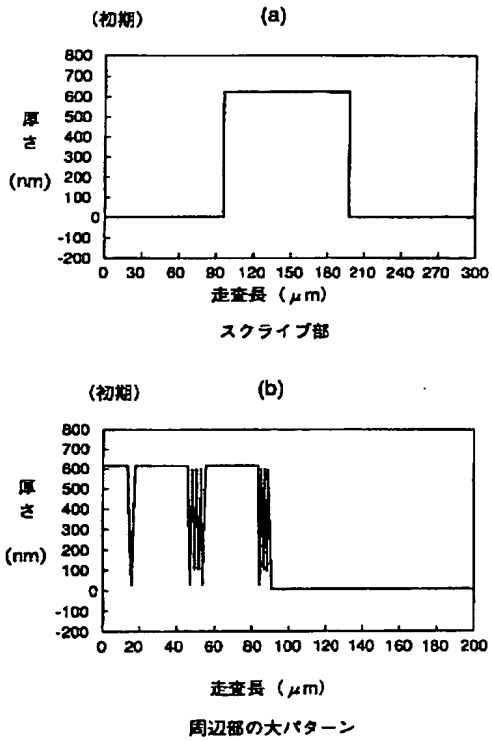
【図１１】



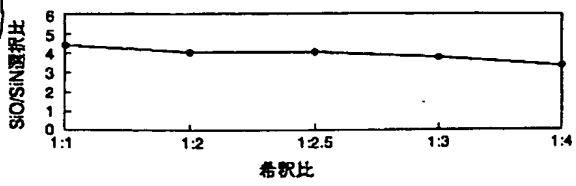
t_{10}：第1の素子領域の絶縁膜の厚さ

t_{11}：つき出し膜厚

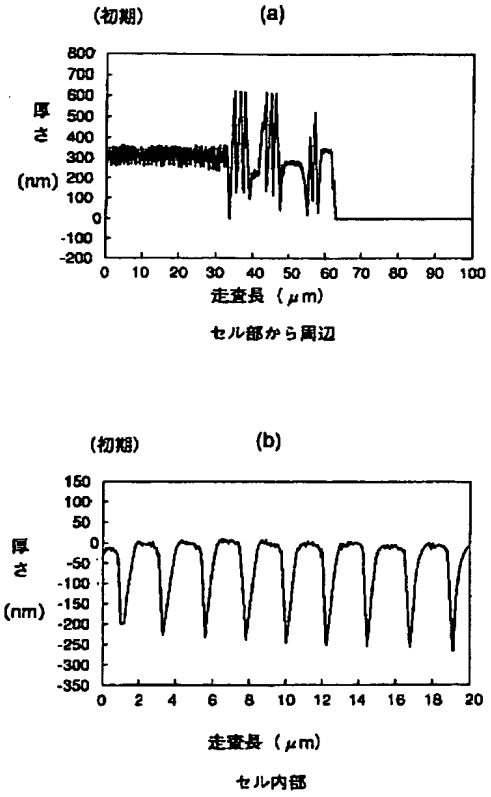
【図１２】



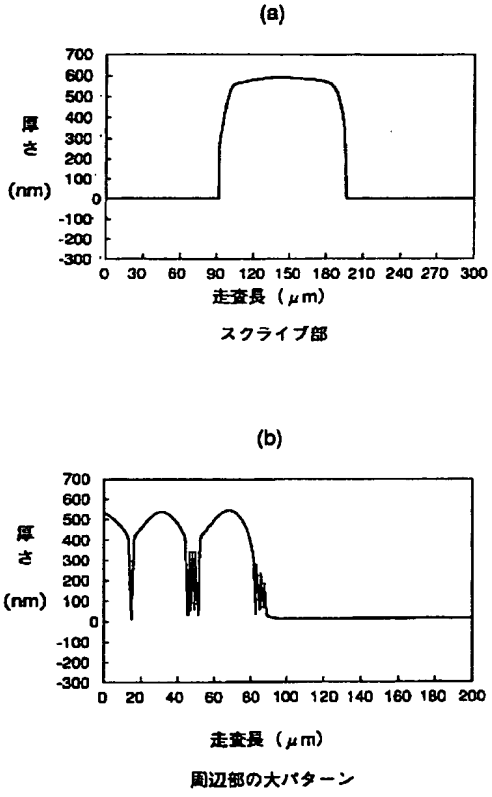
【図２５】



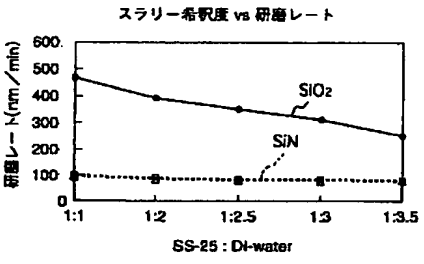
【図１３】



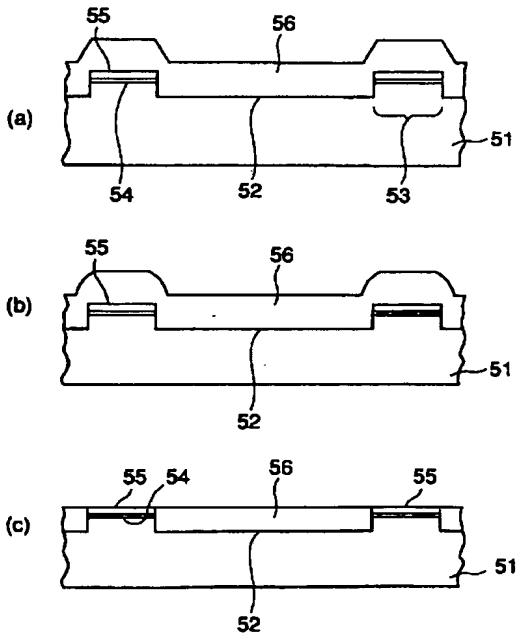
【図１４】



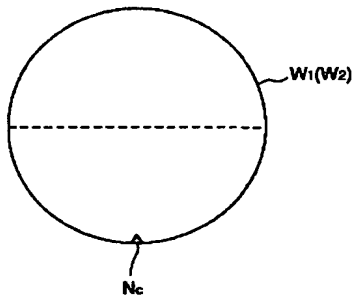
【図２４】



【図２７】

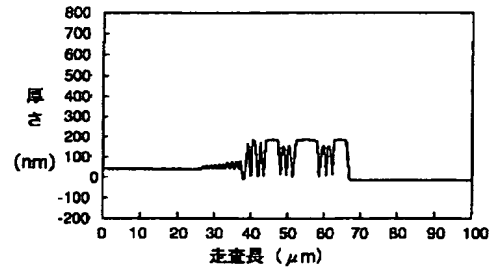


【図２９】



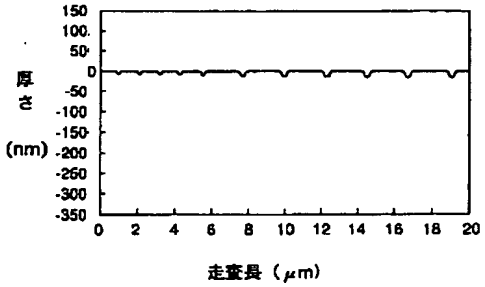
【図１５】

(a)



セル部から周辺

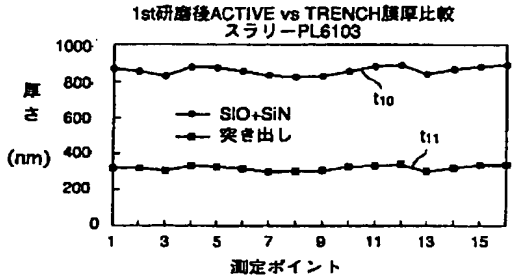
(b)



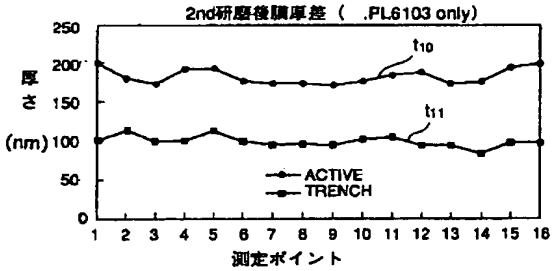
セル内部

【図１６】

(a)

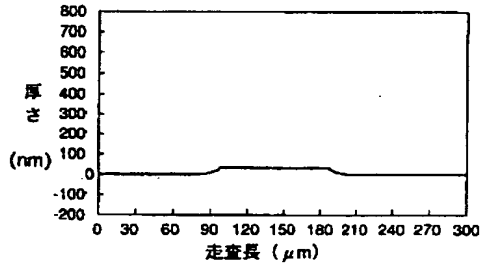


(b)



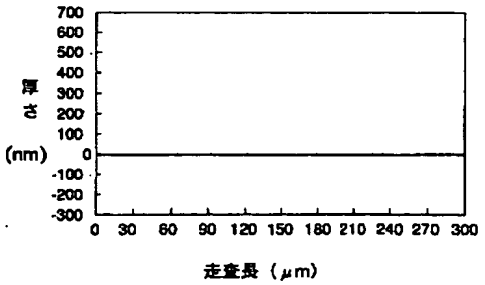
【図１７】

(a)



スクライブ部

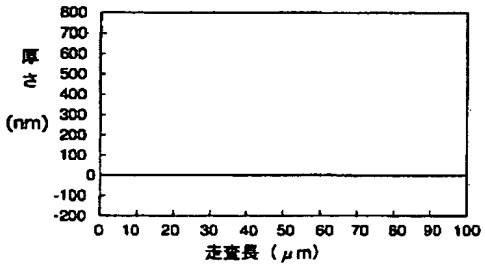
(b)



周辺部の大パターン

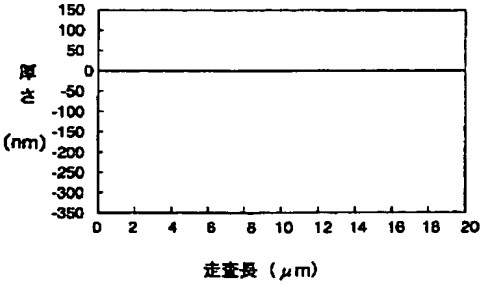
【図１８】

(a)



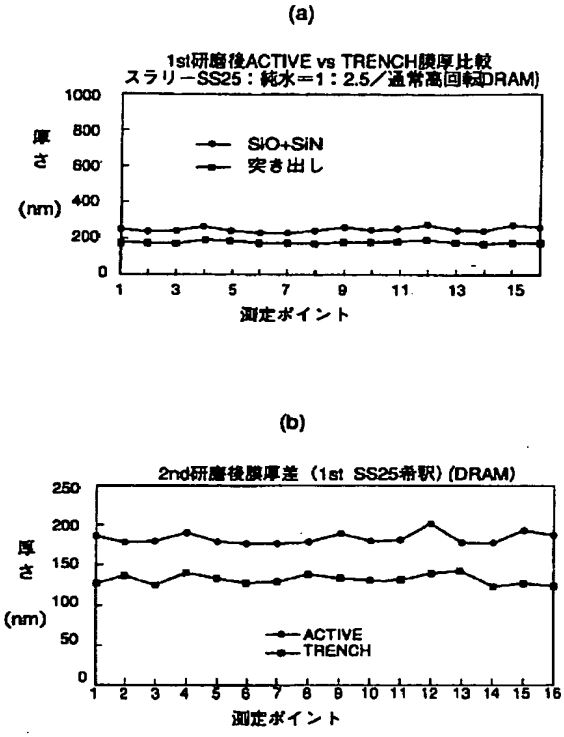
セル部から周辺

(b)

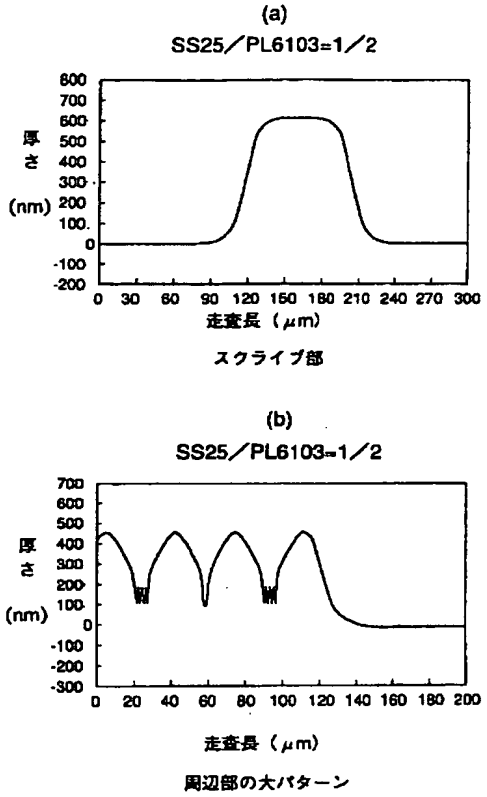


セル内部

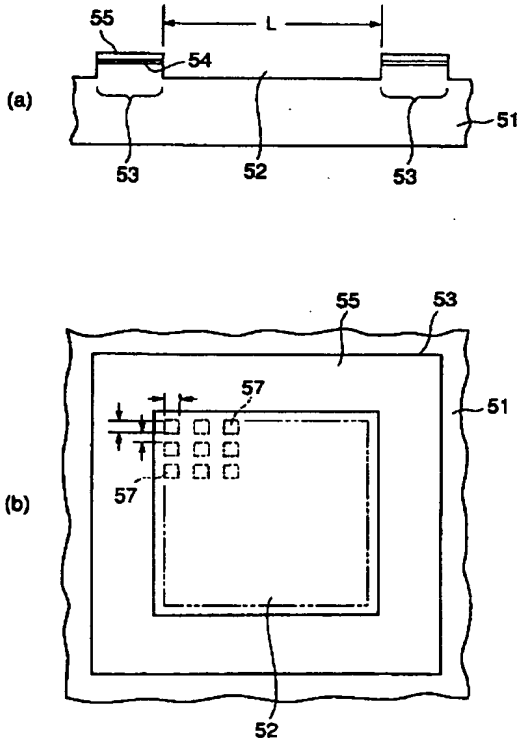
【図１９】



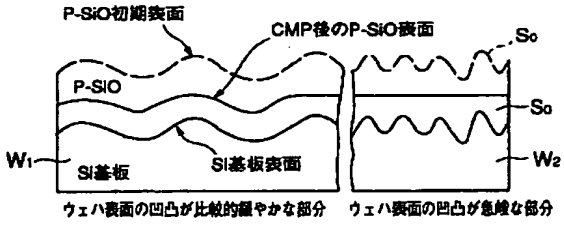
【図２０】



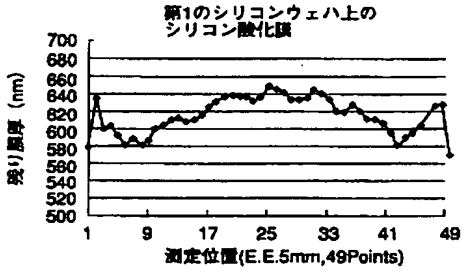
【図２６】



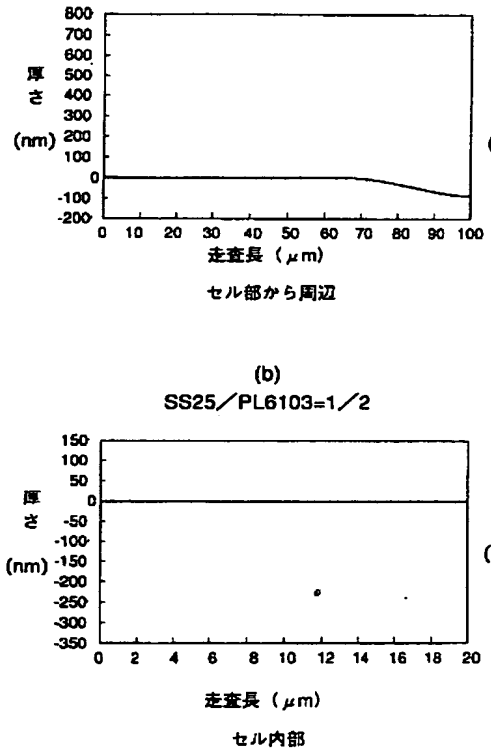
【図３０】



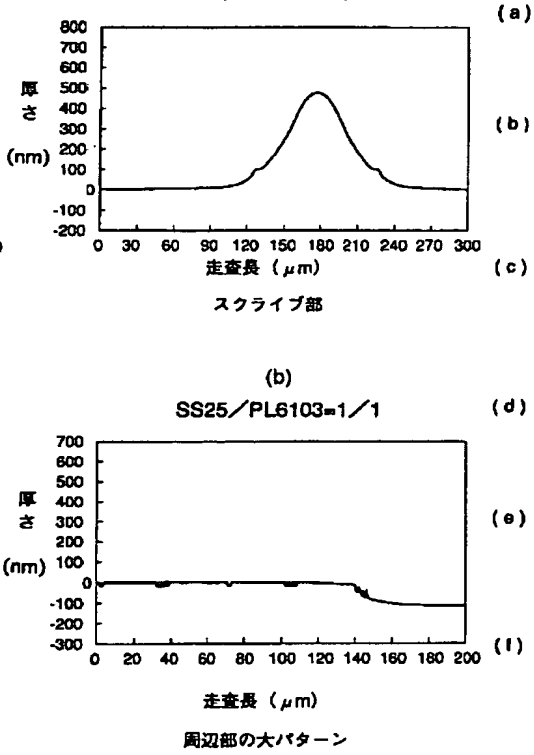
【図３１】



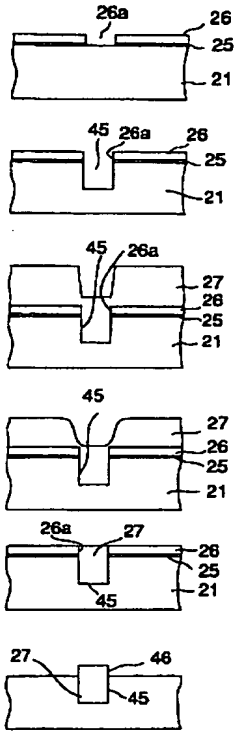
【図２１】



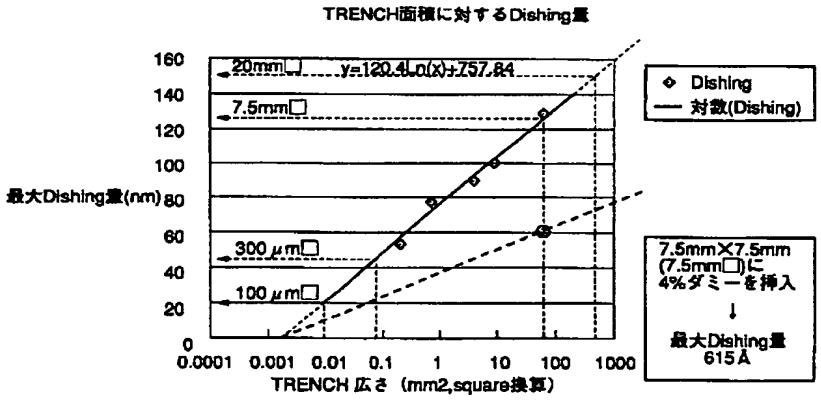
【図２２】



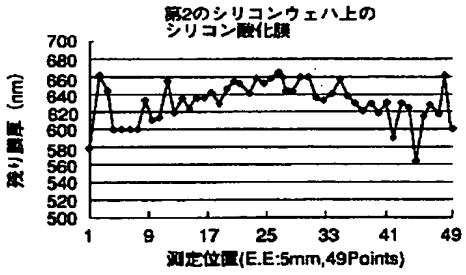
【図４３】



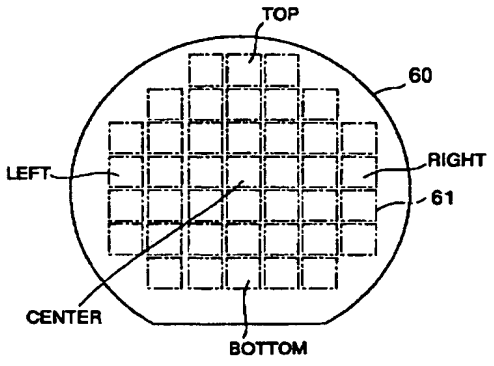
【図２８】



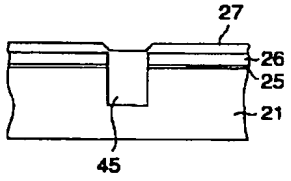
【図３２】



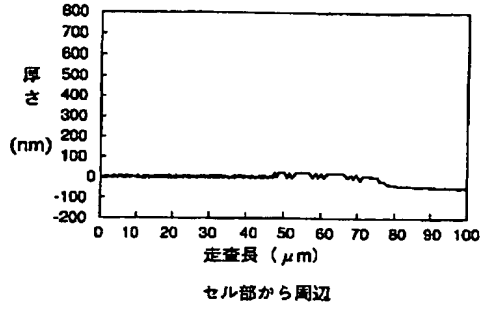
【図３３】



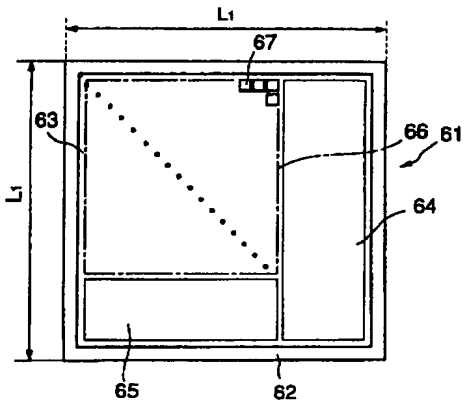
【図４４】



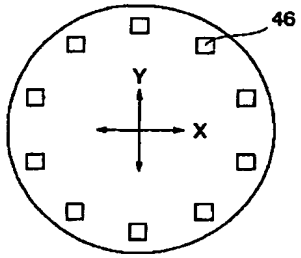
【図２３】



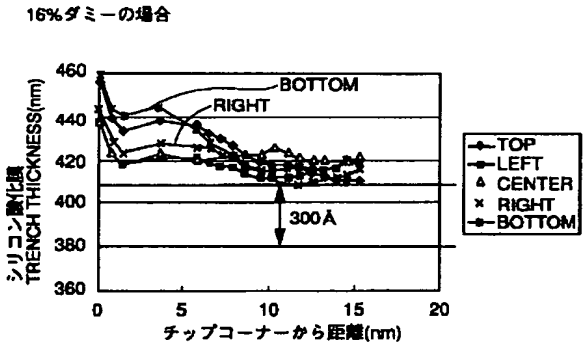
【図３４】



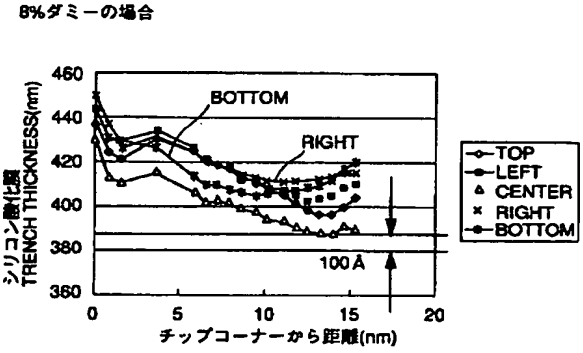
【図４５】



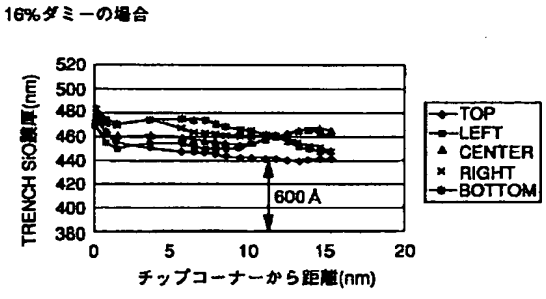
【図３６】



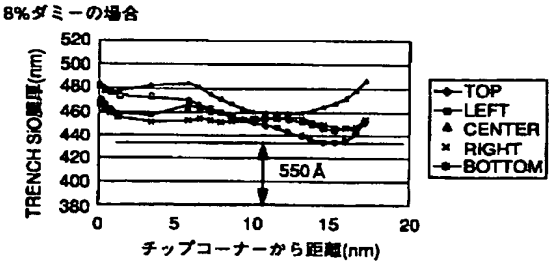
【図３５】



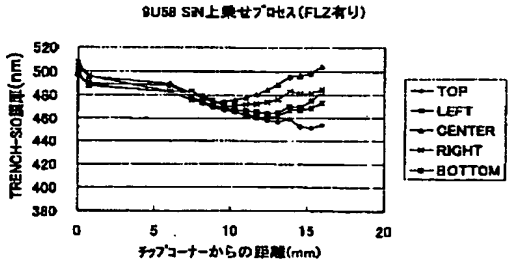
【図３９】



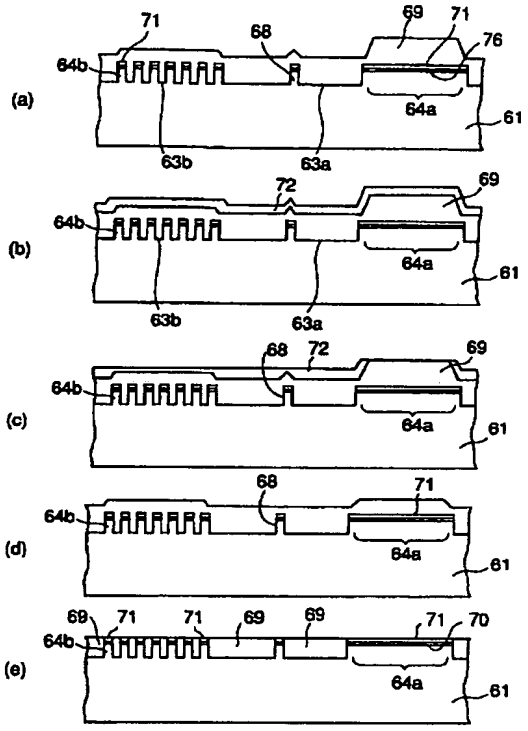
【図３８】



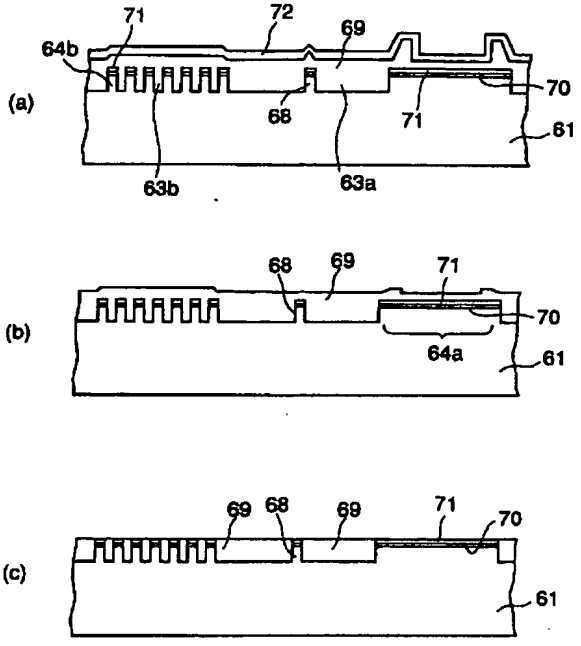
【図４１】



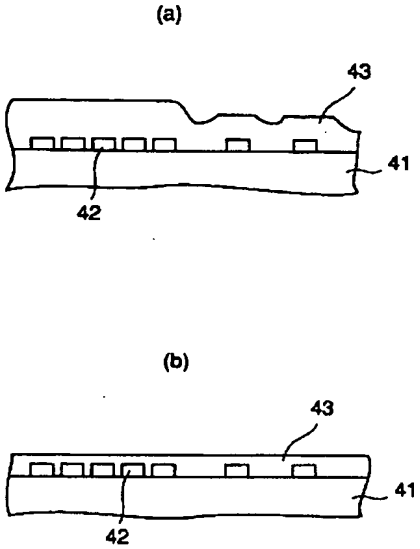
【図３７】



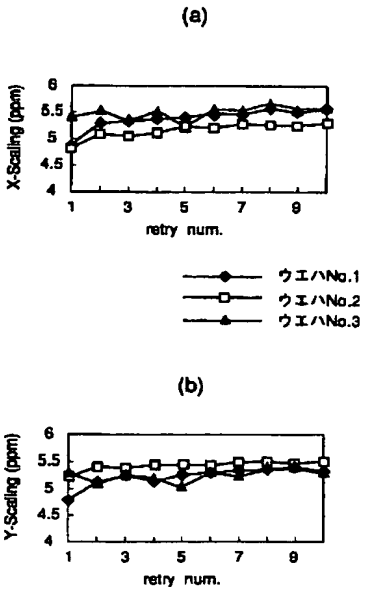
【図４０】



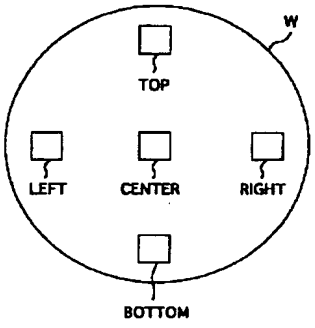
【図４２】



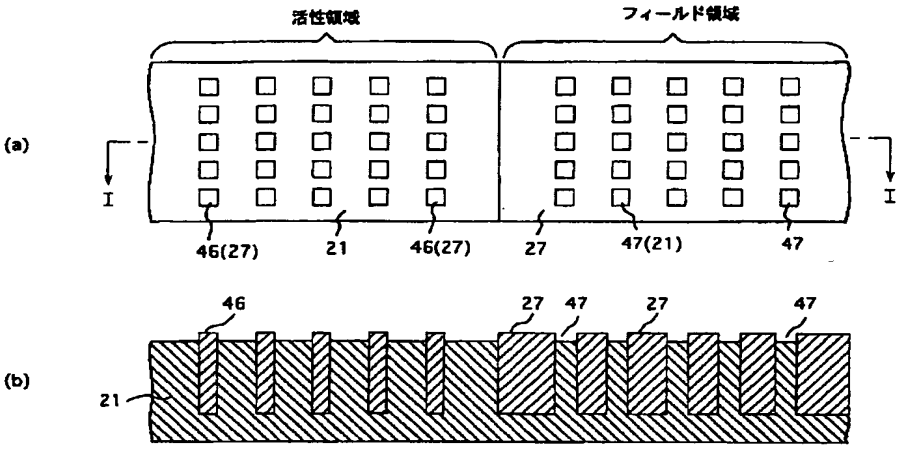
【図４６】



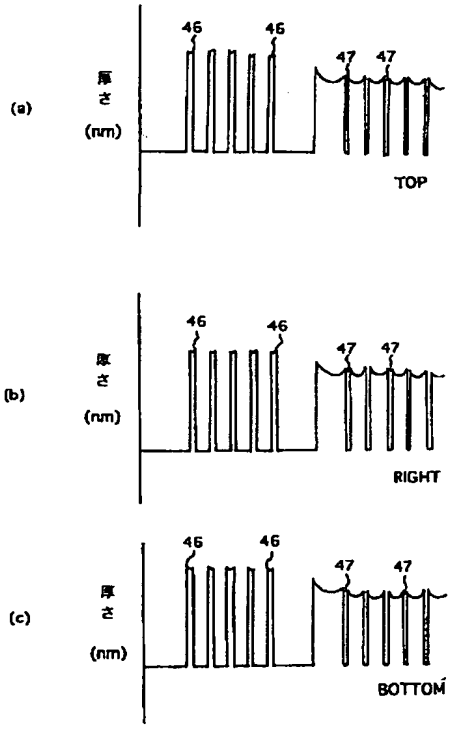
【図４８】



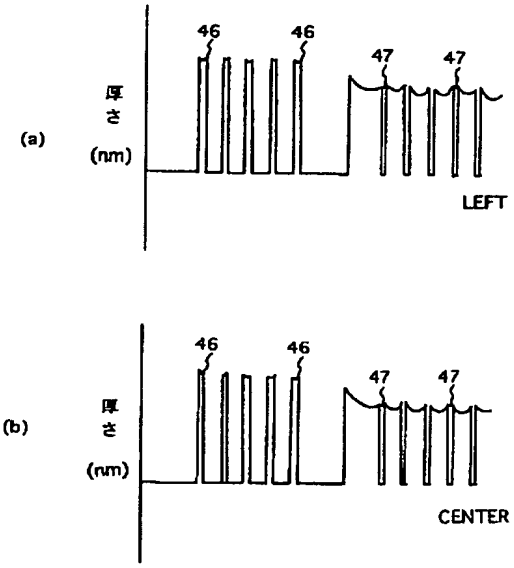
【図４７】



【図４９】



【図５０】



フロントページの続き

(72)発明者　高田　尚幸
神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内

(72)発明者　宮嶋　基守
神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内

(72)発明者　宮田　修一
神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内

Ｆターム(参考)　5F032 AA34 AA44 AA77 AA79 DA33